

**This Page Is Inserted by IFW Operations  
and is not a part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

1014

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

2012  
[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-79491

(43)公開日 平成10年(1998)3月24日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所	
H 0 1 L	27/108		H 0 1 L	27/10	6 2 1 C
	21/8242			27/04	C
	27/04			27/10	6 8 1 F
	21/822				6 8 1 B

審査請求 未請求 請求項の数48 O L (全 38 頁)

(21)出願番号 特願平9-185264

(22)出願日 平成9年(1997)7月10日

(31)優先権主張番号 特願平8-181057

(32)優先日 平8(1996)7月10日

(33)優先権主張国 日本 (J P)

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72)発明者 板橋 和夫

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72)発明者 壺井 修

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(74)代理人 弁理士 高橋 敬四郎

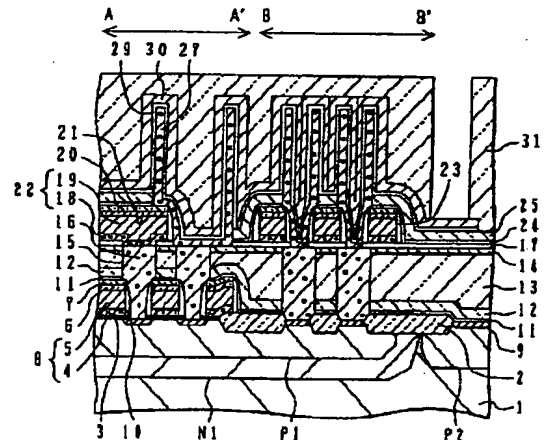
最終頁に続く

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】 (修正有)

【課題】 高集積度のDRAMを安定して実現する半導体装置及びその製造方法の提供。

【解決手段】 基板上にメモリセル領域と周辺回路領域とを有する半導体装置であって、基板中に形成された一対の不純物拡散領域と、基板表面に形成されたゲート電極8とを含む転送トランジスタと、ゲート電極の上面および側面を覆う第1の絶縁膜と、第1の絶縁膜を覆って前記基板上に形成された第2の絶縁膜と、第2の絶縁膜上に形成された第3の絶縁膜と、第3および第2の絶縁膜を貫通して、不純物拡散領域に達するコンタクトホール15と、コンタクトホール内に充填された導電層と、第3の絶縁膜上に形成されたビット線と、ビット線22の上面および側面を覆う第4の絶縁膜と、導電層と電気的に接続され、ビット線上に形成された蓄積電極27と、蓄積電極表面に形成された誘電体膜29と、誘電体膜表面に形成された対向電極とを有する。



## 【特許請求の範囲】

【請求項1】 半導体基板上にメモリセル領域と周辺回路領域とを有する半導体装置において、前記基板中に形成された一対の不純物拡散領域と、該基板表面に形成されたゲート電極とを含む転送トランジスタと、  
該ゲート電極の上面および側面を覆う第1の絶縁膜と、  
該第1の絶縁膜を覆って前記基板上に形成された第2の絶縁膜と、  
該第2の絶縁膜を貫通して、前記一対の不純物拡散領域に達する一対のコンタクトホールと、  
該一対のコンタクトホールの一方内に充填され、前記一対の不純物拡散領域の一方に接続された導電プラグと、  
前記導電プラグを覆って該第2の絶縁膜上に形成され、前記一対のコンタクトホールの他方の上に第1の開口を有する第3の絶縁膜と、  
前記第3の絶縁膜上に形成され、前記第1の開口と前記一対のコンタクトホールの他方を介して前記一対の不純物拡散領域の他方に接続されたビット線と、  
該ビット線の上面および側面を覆う第4の絶縁膜と、  
前記ビット線の側面を覆う第4の絶縁膜に整合して前記第3の絶縁膜に形成された第2の開口と、  
前記第2の開口を介して前記導電プラグと電気的に接続され、前記第3、第4の絶縁膜によって該ビット線から絶縁され、ビット線上方に延在して形成された蓄積電極と、  
該蓄積電極表面に形成された誘電体膜と、  
該誘電体膜表面に形成された対向電極とを有する半導体装置。

【請求項2】 前記第2の絶縁膜が、エッチング特性の異なる2層以上の絶縁膜積層からなる下層とその上に形成された上層とを含む請求項1記載の半導体装置。

【請求項3】 前記絶縁膜積層が酸化膜とその上に形成された窒化膜とを含む請求項2記載の半導体装置。

【請求項4】 前記第2の絶縁膜の上層が、エッチング特性の異なる2層以上の絶縁膜積層を含む請求項2記載の半導体装置。

【請求項5】 前記上層の絶縁膜積層がBPSG層とその上に形成されたコンフォーマルな層を含む請求項4記載の半導体装置。

【請求項6】 前記コンフォーマルな層が窒化膜である請求項5記載の半導体装置。

【請求項7】 前記コンフォーマルな層が高温酸化膜である請求項5記載の半導体装置。

【請求項8】 前記第1の絶縁膜が、前記ゲート電極の上面を覆う下層と、前記ゲート電極の側面を覆う上層とを含む請求項1記載の半導体装置。

【請求項9】 前記第1の絶縁膜の下層が酸化膜と酸化窒化膜との積層であり、前記第1の絶縁膜の上層が酸化膜である請求項8記載の半導体装置。

【請求項10】 前記第4の絶縁膜が前記ビット線の上面を覆う下層と前記ビット線の側面を覆う上層とを含む請求項1記載の半導体装置。

【請求項11】 前記第4の絶縁膜の下層が酸化膜と酸化窒化膜との積層であり、前記第4の絶縁膜の上層が酸化膜である請求項10記載の半導体装置。

【請求項12】 前記第2の絶縁膜の上面が略平坦である請求項1記載の半導体装置。

【請求項13】 前記メモリセル領域のコンタクトホールと同様のコンタクトホールが、前記周辺回路領域にも形成されている請求項1記載の半導体装置。

【請求項14】 前記ビット線を複数備え、該ビット線とビット線との間隔が、前記一対のコンタクトホールの一方のホール径よりも狭い請求項1記載の半導体装置。

【請求項15】 前記ビット線が前記他のコンタクトホール内に充填された他の導電プラグと、前記第3の絶縁膜と他の導電プラグ上に形成された配線層とを含む請求項1記載の半導体装置。

【請求項16】 前記ビット線が前記他のコンタクトホール内面を覆い、前記第3の絶縁膜上に延在する導電層を含む請求項1記載の半導体装置。

【請求項17】 さらに、前記ビット線および第4の絶縁膜を覆って、前記基板上に形成され、ほぼ平坦な表面を有する第5の絶縁膜を有する請求項1記載の半導体装置。

【請求項18】 前記第5の絶縁膜が、エッチング特性が異なる2層以上の絶縁膜積層を有する下層とその上に形成された上層とを含む請求項17記載の半導体装置。

【請求項19】 前記第5の絶縁膜の絶縁膜積層が、コンフォーマルな酸化膜と窒化膜とを含む請求項18記載の半導体装置。

【請求項20】 前記第4の絶縁膜が、前記ビット線上に形成され、エッチング特性の異なる2層以上の絶縁膜の積層を有する請求項18記載の半導体装置。

【請求項21】 半導体基板上にメモリセル領域と周辺回路領域とを有する半導体装置において、

前記基板中に形成された一対の不純物拡散領域と、該基板表面に形成されたゲート電極とを含む転送トランジスタと、

該転送トランジスタ上を覆って前記基板上に形成された第1の絶縁膜と、

該第1の絶縁膜を貫通して、前記一対の不純物拡散領域の一方に達する第1のコンタクトホールと、

該第1のコンタクトホール内に充填された導電プラグと、

前記導電プラグを覆って、前記第1の絶縁膜上に形成された第2の絶縁膜と、

前記第1、第2の絶縁膜を貫通して、前記一対の不純物拡散領域の他方に達する第2のコンタクトホールと、

該第2の絶縁膜上に延在し、該第2のコンタクトホール

を介して該他方の不純物拡散領域に接続するビット線と、  
前記ビット線の上面、側面を覆う第3の絶縁膜と、  
前記ビット線の側面を覆う第3の絶縁膜に整合し、前記導電プラグ上で前記第2の絶縁膜に形成された開口と、  
前記第2、第3の絶縁膜によって前記ビット線から絶縁され、前記開口を介して前記導電プラグと電気的に接続された蓄積電極と、  
該蓄積電極表面に形成された誘電体膜と、  
該誘電体膜表面に形成された対向電極とを有する半導体装置。

【請求項22】 前記第1の絶縁膜の上面が略平坦である請求項21記載の半導体装置。

【請求項23】 前記ビット線が金属層からなる請求項21記載の半導体装置。

【請求項24】 前記メモリセル領域の第2のコンタクトホールと同様のコンタクトホールが、前記周辺回路領域にも形成されている請求項21記載の半導体装置。

【請求項25】 導電層上に形成した第1のエッチングストップ膜と、

該ストップ膜上に形成した第1の絶縁膜と、

該第1の絶縁膜上に形成した第2のエッチングストップ膜と、

該第2のストップ膜上に形成した第2の絶縁膜とを備え、

前記第2のストップ膜の膜厚は前記第1のストップ膜の膜厚よりも厚く、前記第2の絶縁膜の膜厚は前記第1の絶縁膜の膜厚よりも厚く形成されている半導体装置。

【請求項26】 前記第1の絶縁膜は、表面が略平坦である請求項25記載の半導体装置。

【請求項27】 半導体基板上にメモリセル領域と周辺回路領域とを有する半導体装置の製造方法において、前記基板上に、一対の不純物拡散領域と、ゲート電極とを含む転送トランジスタを形成する工程と、

該ゲート電極の上面および側面を覆う第1の絶縁膜を形成する工程と、

該第1の絶縁膜および前記転送トランジスタを覆う第2の絶縁膜を形成する工程と、

該第2の絶縁膜を貫通して、前記一対の不純物拡散領域の少なくとも一方に達するコンタクトホールを形成する工程と、

該コンタクトホール内に導電層を充填し、蓄積電極の接続用導電プラグを形成する工程と、

前記導電プラグを覆い、該第2の絶縁膜上に第3の絶縁膜を形成する工程と、

前記第3の絶縁膜上にビット線を形成する工程と、

該ビット線の上面および側面を覆う第4の絶縁膜を形成する工程と、

前記第4の絶縁膜に整合させて前記導電プラグ上で前記第3の絶縁膜に開口を形成する工程と、

前記導電プラグと電気的に接続する蓄積電極を形成する工程と、

該蓄積電極表面に誘電体膜を形成する工程と、

該誘電体膜表面に対向電極を形成する工程とを有する半導体装置の製造方法。

【請求項28】 前記第2の絶縁膜が前記第1の絶縁膜を覆って基板表面上に形成された下層絶縁膜とその上の上層絶縁膜を含む請求項27記載の半導体装置の製造方法。

【請求項29】 前記下層絶縁膜が窒化シリコン膜を含む請求項28記載の半導体装置の製造方法。

【請求項30】 前記コンタクトホールを形成する工程が前記下層絶縁膜をエッチングストップとして利用する工程を含む請求項28記載の半導体装置の製造方法。

【請求項31】 前記第2の絶縁膜を形成する工程が前記上層絶縁膜を平坦化する工程を含む請求項28記載の半導体装置の製造方法。

【請求項32】 前記下層絶縁膜が窒化シリコン膜を含み、前記上層絶縁膜が不純物添加酸化シリコン膜を含む請求項31記載の半導体装置の製造方法。

【請求項33】 前記コンタクトホールを形成する工程が、前記メモリセル領域と前記周辺回路領域とに同時にコンタクトホールを形成する請求項27記載の半導体装置の製造方法。

【請求項34】 前記第2の絶縁膜の下層絶縁膜を形成後、前記周辺回路領域の該第2の絶縁膜の下層絶縁膜を選択的に除去する工程を有する請求項28記載の半導体装置の製造方法。

【請求項35】 前記転送トランジスタを形成する工程が、導電層上に反射防止膜を形成する工程と、その後に該導電層のパターニングを行う工程と、次いで、該反射防止膜を除去する工程とを有する請求項27記載の半導体装置の製造方法。

【請求項36】 前記反射防止膜を除去する工程が、周辺回路領域の該反射防止膜を選択的に除去する工程を有する請求項35記載の半導体装置の製造方法。

【請求項37】 半導体基板上にメモリセル領域と周辺回路領域とを有する半導体装置の製造方法において、前記基板上に、一対の不純物拡散領域と、ゲート電極とを含む転送トランジスタを形成する工程と、

該転送トランジスタを覆って前記基板上に第1の絶縁膜を形成する工程と、

該第1の絶縁膜を貫通して、前記一対の不純物拡散領域の一方に達する第1のコンタクトホールを形成する工程と、

該第1のコンタクトホール内に導電層を形成し、蓄積電極の接続用プラグを形成する工程と、

前記接続用プラグを覆って、前記第1の絶縁膜上に第2の絶縁膜を形成する工程と、

該第2、第1の絶縁膜を貫通して、前記一对の不純物拡散領域の他方に達する第2のコンタクトホールを形成する工程と、

該第2の絶縁膜上に延在し、該第2のコンタクトホールを介して該他方の不純物拡散領域に接続するビット線を形成する工程と、

前記プラグと電氣的に接続する蓄積電極を形成する工程と、

該蓄積電極表面に誘電体膜を形成する工程と、

該誘電体膜表面に対向電極を形成する工程とを有する半導体装置の製造方法。

【請求項38】 前記第1の絶縁膜を形成後、該第1の絶縁膜表面を略平坦にする工程を有する請求項37記載の半導体装置の製造方法。

【請求項39】 前記第2のコンタクトホールを形成する工程が、前記メモリセル領域と前記周辺回路領域とに同時にコンタクトホールを形成する請求項37記載の半導体装置の製造方法。

【請求項40】 前記第1の絶縁膜を形成する工程が、前記転送トランジスタを含む領域上に下層絶縁膜を形成する工程と、次いで、前記周辺領域の該下層絶縁膜を選択的に除去する工程と、上層絶縁膜を形成する工程とを有する請求項37記載の半導体装置の製造方法。

【請求項41】 前記第1の絶縁膜を形成する工程が、該上層絶縁膜の上に最上層絶縁膜を形成する工程を含み、さらに、前記対向電極を形成する工程に続いて、該対向電極をマスクとして該最上層絶縁膜を選択的に除去する工程を有する請求項37記載の半導体装置の製造方法。

【請求項42】 前記転送トランジスタを形成する工程が、導電層上に反射防止膜を形成する工程と、その後に該導電層のパターニングを行う工程と、次いで、該反射防止膜を除去する工程とを有する請求項37記載の半導体装置の製造方法。

【請求項43】 前記反射防止膜を除去する工程が、周辺回路領域の該反射防止膜を選択的に除去する工程を有する請求項42記載の半導体装置の製造方法。

【請求項44】 半導体基板上にメモリセル領域と周辺回路領域とを有する半導体装置の製造方法において、前記基板上に、一对の不純物拡散領域と、ゲート電極とを含む転送トランジスタを形成する工程と、該転送トランジスタを覆って基板上に第1の絶縁膜を形成する工程と、該第1の絶縁膜を貫通して、前記一对の不純物拡散領域の一方に達する第1のコンタクトホールを形成する工程と、

該第1のコンタクトホール内に導電層を形成し、蓄積電極の接続用プラグを形成する工程と、該プラグを覆い、前記第1の絶縁膜上に第2の絶縁膜を

形成する工程と、

該第2の絶縁膜および該第1の絶縁膜を貫通して、前記一对の不純物拡散領域の他方に達する第2のコンタクトホールを形成する工程と、

該第2の絶縁膜上に延在し、該第2のコンタクトホールを介して該他方の不純物拡散領域に接続するビット線を形成する工程と、

該ビット線を覆う第3の絶縁膜を形成する工程と、

該第3の絶縁膜を異方性エッチングして、該ビット線の側壁に該第3の絶縁膜からなるサイドウォールを形成する工程と、

該ビット線および該サイドウォールをマスクにして、前記第2の絶縁膜をエッチングし、前記接続プラグを露出する工程と、

前記接続プラグと電氣的に接続する蓄積電極を形成する工程と、

該蓄積電極表面に誘電体膜を形成する工程と、

該誘電体膜表面に対向電極を形成する工程とを有する半導体装置の製造方法。

【請求項45】 第1の絶縁膜に凹部を形成する工程と、

該凹部を埋め込み、該第1の絶縁膜上に延在する膜厚Tの導電膜と第2の絶縁膜とを積層して形成する工程と、該第2の絶縁膜および該導電膜をエッチングして、第1の配線パターンを形成する工程と、

該第1の配線パターン上に第3の絶縁膜を形成する工程と、

該第3の絶縁膜を異方性エッチングして、該配線パターン側壁に該第3絶縁膜を残置する工程と、

次いで、前記凹部上に第2の配線パターンを形成する工程とを含み、

前記導電膜のエッチングを行う際に、エッチング量を $T + 0.06 \mu\text{m}$ 以上とする半導体装置の製造方法。

【請求項46】 半導体基板上にメモリセル領域と周辺回路領域とを有する半導体装置の製造方法において、前記基板上に、一对の不純物拡散領域とゲート電極とを含む転送トランジスタを形成する工程と、

該転送トランジスタを覆って基板上に第1の絶縁膜を形成する工程と、

該第1の絶縁膜を貫通して、前記一对の不純物拡散領域の一方に達する第1のコンタクトホールと、前記一对の不純物拡散領域の他方に達する第2のコンタクトホールとを形成する工程と、

該第1の絶縁膜上に延在し、該第2のコンタクトホールを介して該他方の不純物拡散領域に接続する導電層を形成する工程と、

該導電層を選択的にエッチングして、該第2のコンタクトホール内において凹部を有するビット線を形成する工程と、

該ビット線を覆う第2の絶縁膜を形成する工程と、

該第2の絶縁膜を異方性エッチングして、該ビット線側壁上および該凹部に該第2絶縁膜を残置する工程と、次いで、前記一方の不純物拡散領域と電氣的に接続し、且つ該凹部に延在する蓄積電極を形成する工程と、該蓄積電極表面に誘電体膜を形成する工程と、該誘電体膜表面に対向電極を形成する工程とを有する半導体装置の製造方法。

【請求項47】 半導体基板上にメモリセル領域と周辺回路領域とを有する半導体装置の製造方法において、基板上に、一対の不純物拡散領域とゲート電極とを含む転送トランジスタを形成する工程と、該転送トランジスタを覆って基板上に第1の絶縁膜を形成する工程と、該第1の絶縁膜を貫通して、前記一対の不純物拡散領域の一方に達する第1のコンタクトホールを形成する工程と、該第1のコンタクトホール内に導電層を充填し、蓄積電極の接続用プラグを形成する工程と、該プラグを覆い、前記第1の絶縁膜上に第2の絶縁膜を形成する工程と、該第2の絶縁膜および該第1の絶縁膜を貫通して、前記他方の不純物拡散領域に達する第2のコンタクトホールを形成する工程と、該第2の絶縁膜上に延在し、該第2のコンタクトホールを介して該一対の不純物拡散領域の他方に接続するビット線を形成する工程と、該ビット線を覆う第3の絶縁膜を形成する工程と、該第3の絶縁膜を異方性エッチングして、該ビット線側壁上に該第3絶縁膜を残置する工程と、次いで、前記プラグと電氣的に接続する蓄積電極を形成する工程と、該蓄積電極表面に誘電体膜を形成する工程と、該誘電体膜表面に対向電極を形成する工程とを有し、前記ビット線を形成する工程において、前記エッチングは、前記導電層と前記第2の絶縁膜の膜厚の合計よりも多い量の導電層が除去できるように行う半導体装置の製造方法。

【請求項48】 導電層上に第1のエッチングストップ膜を形成する工程と、該第1のストップ膜上に第1の絶縁膜を形成する工程と、該第1の絶縁膜上に、該第1のストップ膜の膜厚よりも厚い第2のエッチングストップ膜を形成する工程と、該第2のストップ膜上に、該第1の絶縁膜の膜厚よりも厚い第2の絶縁膜を形成する工程と、該第2のストップ膜をエッチングストップとして、該第2の絶縁膜をエッチングする工程と、次いで、該第2のストップ膜をエッチングする工程と、次いで、該第1のストップ膜をエッチングストップとして、前記第1の絶縁膜をエッチングする工程と、

次いで、該第1のストップ膜をエッチングすることにより、前記導電層を露出する開口部を形成する工程とを含む半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置およびその製造方法に係わり、特にDRAM (Dynamic Random Access Memory) の高集積化、及び高信頼性化に寄与する半導体装置およびその製造方法に関する。

【0002】

【従来の技術】DRAMの高集積化、及び低価格化を達成する為には、その基本構成要素であるセルの微細化を進めていかなければならない。一般的なDRAMセルは、一つのMOSFETと、一つのキャパシタから構成される。

【0003】セルの微細化を進めていく上での大きな問題は、小さなセルサイズで、いかにして大きなキャパシタ容量を確保するかということである。

【0004】近年、キャパシタ容量を確保する方法として、基板に溝を形成し、その中にキャパシタを形成するトレンチ型キャパシタや、キャパシタをMOSFETの上部に3次的に形成するスタック型キャパシタが提案され、また実際のDRAMに採用されている。さらにスタック型キャパシタには、基板と概ね平行な方向に配置された蓄積電極を複数枚形成し、それぞれの蓄積電極の上下両面をキャパシタとして用いるFIN型キャパシタや、シリンダ状の蓄積電極を用いるシリンダ型キャパシタなどの改良されたセル構造が提案されている。

【0005】これらのセル構造、及びその製造プロセスを適用することにより64MBIT程度の集積度のDRAMを実現する事が可能になった。

【0006】しかし、トレンチ型キャパシタにおいては、キャパシタ電極に印加される電圧によってトレンチの周囲に形成される空乏層からなる電荷蓄積領域が大きく拡がるために、隣接するキャパシタのトレンチを接近して設けた場合、蓄積電荷のリークを生じて情報が失われるという現象を生じる。そのため、各セル間の分離領域幅、即ちフィールド酸化膜が配設される領域の幅を広くとる必要があり、これによって集積度の向上が妨げられるという問題がある。

【0007】そこで、DRAMの高集積化および高信頼性に寄与するデバイスとして、スタック型キャパシタが有望視されている。

【0008】微細化されたスタック型キャパシタとして、「A 0.29- $\mu$ m<sup>2</sup> MIM-CROWN Cell and Process Technologies for 1-Gigabit DRAMs」1994年、第927頁～第929頁が報告されている。

【0009】図29にそのメモリセルの断面図を示す。



図中、参照番号100は $WSi_2 / polySi$ のワード線、101は第1のポリシリコンプラグ、102はポリSiプラグ上に形成した $WSi_2 / polySi$ のビット線、103は第2のポリシリコンプラグ、104はWのシリンダ型蓄積電極、105 $Ta_2O_5$ の誘電体膜、106はCVD-TiNの対向電極を示している。

【0010】そして、上記シリンダ型キャパシタを用いることにより、集積度の高いDRAMを提供することができる。

【0011】ところが、上記シリンダ型キャパシタを採用した場合、微細化とともに、より小さいセル面積で十分なキャパシタ容量を確保するために、キャパシタ部の高さは益々高くする必要がある。そのため、セル部と周辺回路部との高低差、すなわち段差が大きな問題となる。例えば、金属配線をセル部及び周辺回路部上でパターンニングする際に、フォトリソグラフィの焦点深度が段差により不足することで寸法精度が低下することになる。

【0012】また、周辺回路部に絶縁膜を埋め込むことで、セル部と周辺回路部との段差をなくすことも考えられるが、周辺回路部におけるコンタクトのアスペクト比が大きくなってしまい、エッチングのコントロールを難しくするという別の問題が生じてしまう。

【0013】さらに、微細化を進めるにしたがって配線間隔も益々狭くなり、配線の寄生容量も増大する傾向にある。

【0014】本発明の目的は、〔例えば256MDRAM以上の〕高集積度のDRAMを、その信頼性を損なうことなく安定して実現する半導体装置およびその製造方法を提供することを目的である。

【0015】本発明の1観点によれば、半導体基板上にメモリセル領域と周辺回路領域とを有する半導体装置において、前記基板中に形成された一対の不純物拡散領域と、該基板表面に形成されたゲート電極とを含む転送トランジスタと、該ゲート電極の上面および側面を覆う第1の絶縁膜と、該第1の絶縁膜を覆って前記基板上に形成された第2の絶縁膜と、該第2の絶縁膜を貫通して、前記一対の不純物拡散領域に達する一対のコンタクトホールと、該一対のコンタクトホールの一方内に充填され、前記一対の不純物拡散領域の一方に接続された導電プラグと、前記導電プラグを覆って該第2の絶縁膜上に形成され、前記一対のコンタクトホールの他方の上に第1の開口を有する第3の絶縁膜と、前記第3の絶縁膜上に形成され、前記第1の開口と前記一対のコンタクトホールの他方を介して前記一対の不純物拡散領域の他方に接続されたビット線と、該ビット線の上面および側面を覆う第4の絶縁膜と、前記ビット線の側面を覆う第4の絶縁膜に整合して前記第3の絶縁膜に形成された第2の開口と、前記第2の開口を介して前記導電プラグと電気的に接続され、前記第3、第4の絶縁膜によって該ビッ

ト線から絶縁され、ビット線上方に延在して形成された蓄積電極と、該蓄積電極表面に形成された誘電体膜と、該誘電体膜表面に形成された対向電極とを有する半導体装置が提供される。

【0016】本発明の他の観点によれば、半導体基板上にメモリセル領域と周辺回路領域とを有する半導体装置の製造方法において、前記基板上に、一対の不純物拡散領域と、ゲート電極とを含む転送トランジスタを形成する工程と、該ゲート電極の上面および側面を覆う第1の絶縁膜を形成する工程と、該第1の絶縁膜および前記転送トランジスタを覆う第2の絶縁膜を形成する工程と、該第2の絶縁膜を貫通して、前記一対の不純物拡散領域の少なくとも一方に達するコンタクトホールを形成する工程と、該コンタクトホール内に導電層を充填し、蓄積電極の接続用導電プラグを形成する工程と、前記導電プラグを覆い、該第2の絶縁膜上に第3の絶縁膜を形成する工程と、前記第3の絶縁膜上にビット線を形成する工程と、該ビット線の上面および側面を覆う第4の絶縁膜を形成する工程と、前記第4の絶縁膜に整合させて前記導電プラグ上で前記第3の絶縁膜に開口を形成する工程と、前記導電プラグと電気的に接続する蓄積電極を形成する工程と、該蓄積電極表面に誘電体膜を形成する工程と、該誘電体膜表面に対向電極を形成する工程とを有する半導体装置の製造方法が提供される。

【0017】導電層からなる1つのプラグにより1回のかさ上げをした構造をとっている。つまり、ワード線形成後にかさ上げの為、蓄積電極の接続用プラグを形成し、SAC (Self Aligned Contact) によりビット線間に蓄積電極を形成しているため、基板表面からのキャパシタ高さを低くすることができる。

【0018】したがって、従来よりもセル部と周辺回路部との高低差を抑えることができ、周辺回路部におけるコンタクトホールの形成を容易に行うことができる。

【0019】

【発明の実施の形態】以下、図面を参照しつつ、本発明の実施形態について説明する。

【0020】〔第1実施形態〕本発明の第1実施形態は、図1A乃至図2Hに示される。

【0021】図中、参照番号1はp型シリコン基板、2はフィールド $SiO_2$ 膜、3はゲート酸化膜、4はシリコン層、5はタングステンシリサイド ( $WSi$ ) 層、6は $SiO_2$ 膜、7は $SiON$ 膜、8はゲート電極 (ワード線となる1層目配線)、9は $n^-$ 型不純物拡散層、10はサイドウォール、11は $SiO_2$ 膜、12は $Si_3N_4$ 膜、13はボロホスホシリケートガラス (BPSG) 膜、14は $Si_3N_4$ 膜、15はコンタクトホール、16は導電性プラグ、17は $SiO_2$ 膜、18はシリコン層、19は $WSi$ 、20は $SiO_2$ 膜、21は $SiON$ 膜、22はビット線 (2層目配線)、23はサイ

ドウォール、24は $\text{SiO}_2$ 膜、25は $\text{Si}_3\text{N}_4$ 膜、27は蓄積電極、29はキャパシタ誘電体膜となる $\text{Ta}_2\text{O}_5$ 膜、30は対向電極となる $\text{TiN}$ 、31は層間絶縁膜となるBPSG膜を示している。N1、P1、P2は、それぞれnウェル、pウェル、pウェルを示す。以下、これらのウェルの図示は省略する。

【0022】図1Aは、本実施形態の半導体装置のメモリセル部の平面図である。図中、縦方向にワード線8が配列され、その上に横方向にビット線22が配列され、その上にキャパシタCが配置されている。

【0023】図1Bは、図1Aに対応するメモリセル部の断面図であり、図1A)のA-A'、B-B'線に沿う断面を示している。A-A'断面はワード線、ビット線両者と交差し、B-B'断面はビット線と交差し、ワード線とは平行である。便宜上、A-A'部とB-B'部とを連続して示す。

【0024】図2A乃至図6は本実施形態による半導体装置の製造方法を説明する半導体基板の断面図であり、図面の左側がメモリセル部MCで、右側が周辺回路部PCである。メモリセル部MCが図1Bに対応する。周辺回路部PCには、nウェルN2も形成される。以下、図面を参照して、第1実施形態の半導体装置の製造方法について説明する。

【0025】図2Aを参照して、p型シリコン基板1上に公知の技術を用いてLOCOS分離（選択酸化）を行い、厚さ250nmのフィールド $\text{SiO}_2$ 膜2を形成した後、熱酸化により、厚さ5~10nmのゲート酸化膜となる $\text{SiO}_2$ 膜3を形成する。

【0026】次いで、CVD法により全面に、高濃度にn型またはp型の不純物を含む厚さ50nmのドーフトシリコン層4、厚さ120nmのWSi層5、厚さ80nmの $\text{SiO}_2$ 膜6を順次形成する。なお、ドーフトシリコン層4は、単結晶シリコン、多結晶シリコン、アモルファスシリコンのいずれも用いることができる。

【0027】次いで、その上に反射防止膜として、フトリソグラフィに用いる露光波長に対して適当な吸収を有する膜、例えば厚さ30nm程度の $\text{SiON}$ 膜7をプラズマCVD法により形成する。

【0028】さらに、パターニングされたレジストマスク（図示せず）により、 $\text{SiON}$ 膜7と $\text{SiO}_2$ 膜6とを例えばFを含むエッチャントガスで、WSi層5と多結晶シリコン層4とを例えばClを含むエッチャントガスでそれぞれ選択的に除去して、ゲート電極8を形成する。なお、ゲート電極8はワード線となる。

【0029】図2Bを参照して、ゲート電極8をマスクとして、P（リン）イオンをシリコン基板1中に注入し、n<sup>-</sup>型不純物拡散層9を形成する。なお、n<sup>-</sup>型不純物拡散層9は、セル部では転送トランジスタのソース、ドレインとなり、周辺回路部ではnチャネルトランジスタのLDD用の拡散層となる。次いで、減圧CVD

法により全面に厚さ60nmの $\text{SiO}_2$ 膜を形成し、異方性エッチングにより、 $\text{SiO}_2$ からなるサイドウォール10を形成する。

【0030】周辺回路部のnチャネルトランジスタ領域に砒素イオンを注入することによりn<sup>+</sup>拡散層55を形成し、周辺部のnウェルN2内のpチャネルトランジスタ領域にボロンイオンを注入することによりp<sup>+</sup>拡散層57を形成する。以下、拡散層の図示は適宜省略する。

【0031】図2Cを参照して、減圧CVD法により全面に、厚さ20nmの $\text{SiO}_2$ 膜11、厚さ50~100nm、好ましくは80nmの $\text{Si}_3\text{N}_4$ 膜12を形成する。

【0032】次いで、平坦化膜として全面に厚さ300~400nmのBPSG膜13を形成し、窒素雰囲気中で800℃程度の熱処理によりBPSG膜13をリフローする。なお、完全に平坦化を行うためには、CMP（Chemical Mechanical Polishing）により表面を研磨して平坦化を行うことが好ましい。

【0033】また、BPSG膜にかえて、ホスホシリケートガラス（PSG）、スピンオンガラス（SOG）、絶縁性樹脂等を用いることもできる。

【0034】 $\text{SiO}_2$ 膜11は $\text{Si}_3\text{N}_4$ 膜12を除去する際のストップ膜となり、 $\text{Si}_3\text{N}_4$ 膜12はBPSG膜13を除去する際のストップ膜となる。このとき、 $\text{Si}_3\text{N}_4$ 膜12の膜厚を厚くしてしまうと、 $\text{Si}_3\text{N}_4$ 膜の誘電率が $\text{SiO}_2$ 膜に比べて高いために、配線間の容量が増大してしまう。エッチングストップとしての機能が確保できれば、 $\text{Si}_3\text{N}_4$ 膜12の膜厚は薄い方が好ましい。

【0035】図2Dを参照して、減圧CVD法により全面に、厚さ50nmの $\text{Si}_3\text{N}_4$ 膜14を形成し、パターニングされたレジストマスク（図示せず）により、 $\text{Si}_3\text{N}_4$ 膜14を選択的に除去する。次いで、BPSG膜13を選択的にエッチングして $\text{Si}_3\text{N}_4$ 膜12を一部削ったところで止め、続いて $\text{Si}_3\text{N}_4$ 膜12、 $\text{SiO}_2$ 膜11を選択的に除去する。 $\text{Si}_3\text{N}_4$ 膜12の選択的エッチングによって $\text{Si}_3\text{N}_4$ 膜14の開口部下には $\text{SiO}_2$ 膜11を残した孔が形成される。次いで、 $\text{SiO}_2$ の選択エッチングを行うことにより、基板表面が露出される。サイドウォール10はほとんどエッチングされずに残る。

【0036】隣接するワード線間の領域についてより詳細に考察する。図2Cの状態、ワード線の上面は、酸化膜6、 $\text{SiON}$ 膜7で覆われている。ワード線の側面は酸化シリコンのサイドウォール10で覆われている。このワード線構造を覆って基板全面に酸化膜11、窒化膜12が形成されている。さらに、その上にはBPSG膜13が形成されている。隣接するワード線構造間の領域を上方から見ると、BPSG膜13、窒化膜12、酸

化膜11がこの順番で下方に凸の形状で存在する。これらの膜は、上方より1つずつ選択的にエッチすることができる。ホトレジストマスクを利用してBPSG膜13を異方的に選択エッチすると、その底面に窒化膜12が露出した状態でエッチングが終了する。窒化膜12、酸化膜11はワード線の側壁、基板表面に沿ってコンフォーマルに形成されているので、エッチングはその形状に倣って終了する。次に、窒化膜12の選択エッチングを行うと、酸化膜11が露出した状態でエッチングが終了する。この状態で、ワード線構造間の領域は酸化膜11を残してエッチした開口で占められる。薄い酸化膜11をエッチすると基板表面が露出する。ワード線構造はほとんど完全に残る。

【0037】このようにして、SACによるコンタクトホール15を形成する。次いで、減圧CVD法により、厚さ300nmのドーパントシリコン層をコンタクトホール15に埋め込み、CMP法により $\text{Si}_3\text{N}_4$ 膜14上のドーパントシリコン層を除去して、プラグ16a、16bを形成する。プラグ16bは、ビット線コンタクト用であり、プラグ16aは蓄積電極コンタクト用である。なお、以下、プラグ16はプラグ16a、16b両者を指す。

【0038】なお、ドーパントシリコンの他、W、TiN等を用いて、プラグ16を形成することもできる。WまたはTiN層はCVDで堆積できる。

【0039】図2Eを参照して、減圧CVD法により全面に、厚さ20~60nmの $\text{SiO}_2$ 膜17を形成する。酸化膜17は緻密な高温酸化膜で形成することが好ましい。このような膜はコンフォーマルな性質を有する。下地表面が平坦化されているため、平坦な膜が形成される。この $\text{SiO}_2$ 膜17は、必要箇所において、プラグ16と2層目配線となるビット線とを絶縁する。次いで、パターニングされたレジストマスク（図示せず）により、 $\text{SiO}_2$ 膜17を選択的に除去して、ビット線のコンタクト部HBを形成する。図中、右側の周辺回路においてもプラグ16と上部配線とのコンタクト部が開口される。次いで、減圧CVD法により全面に厚さ40nmのドーパントシリコン層18、厚さ120nmのWSi層19、厚さ120nmの $\text{SiO}_2$ 膜20、プラズマCVD法により反射防止膜となるSiON膜21を順次形成する。次いで、パターニングされたレジストマスク（図示せず）により、それぞれの層を選択的に除去してビット線22を形成する。周辺回路においても、必要に応じて下のプラグに接続された配線が形成される。

【0040】さらに、減圧CVD法により全面に厚さ60nmの $\text{SiO}_2$ 膜を形成し、異方性エッチングにより $\text{SiO}_2$ からなるサイドウォール23を形成する。

【0041】図2Fを参照して、減圧CVD法により全面に、厚さ10~30nmの $\text{SiO}_2$ 膜24、厚さ60~100nmの $\text{Si}_3\text{N}_4$ 膜25を形成する。

【0042】図2Gを参照して、平坦化膜として全面に厚さ1000~1500nmのBPSG膜26を形成し、窒素雰囲気中で800℃の熱処理によりBPSG膜26をリフローする。なお、完全に平坦化を行うためには、CMP法により表面を研磨して平坦化を行うことが好ましい。

【0043】 $\text{SiO}_2$ 膜24は、 $\text{Si}_3\text{N}_4$ 膜25を除去する際のストッパ膜となり、耐圧を確保するために形成する。また、 $\text{Si}_3\text{N}_4$ 膜25は、BPSG膜26を除去する際のストッパ膜となる。このとき、 $\text{Si}_3\text{N}_4$ 膜25の膜厚を厚くしてしまうと、 $\text{Si}_3\text{N}_4$ 膜の誘電率が $\text{SiO}_2$ 膜のそれに比べて高いために、配線間の容量が増大してしまう。エッチングストッパとしての機能を果たせる限り、 $\text{Si}_3\text{N}_4$ 膜25の膜厚は薄い方が好ましい。

【0044】次いで、パターニングされたレジストマスクにより（図示せず）、BPSG膜26、 $\text{Si}_3\text{N}_4$ 膜25、 $\text{SiO}_2$ 膜24、を順次選択的に除去して、蓄積電極形成用のコンタクトホールHCを形成する。プラグ16用のコンタクトホール15形成時と同様、ビット線構造を覆う $\text{SiO}_2$ 膜24、 $\text{Si}_3\text{N}_4$ 膜25によるセルフアラインが行われる。

【0045】次いで、減圧CVD法により全面に厚さ60nmのドーパントシリコン層を形成し、蓄積電極形成用のコンタクトホール内に蓄積電極層を形成する。残った孔を埋め込むようにレジスト28を塗布した後、CMP法により表面を研磨してBPSG膜26上のシリコン層を除去し、蓄積電極27を形成する。

【0046】蓄積電極27内のレジスト28を除去する。次いで、 $\text{Si}_3\text{N}_4$ 膜25、シリコンの蓄積電極27をエッチングストッパとしてHF系のウェットエッチングにより、BPSG膜26を除去し、蓄積電極27の外側面も露出させる。

【0047】図2Hを参照して、高速窒化法（RTN: Rapid Thermal Nitridation）により、蓄積電極27の表面を窒化する。次いで、減圧CVD法により、膜厚5~15nmの $\text{Ta}_2\text{O}_5$ 膜29を形成し、800~850℃程度の酸化熱処理または酸素プラズマアニールを行う。このようにして、キャパシタの誘電体膜29が形成される。

【0048】さらに、減圧CVD法により全面に、対向電極となる厚さ50nmのTiNを形成し、パターニングされたレジストマスク（図示せず）をマスクとしてエッチングを行うことにより、対向電極30を形成する。

【0049】その後、層間絶縁膜形成、コンタクトホール開口の工程を経て、図1Bの構造を得る。さらに、配線層形成などの工程を経ることにより、スタック型キャパシタが製造される。

【0050】本実施形態では、導電層からなるプラグ16により1回のかさ上げをした構造をとっている。つま

り、ワード線形成後にかさ上げの為、接続用プラグ16を形成し、SACによりビット線間に蓄積電極27を形成している。このため、ビット線の配線構造分キャパシタ高さを低くすることができる。

【0051】したがって、セル部と周辺回路部との高低差を抑えることができ、周辺回路部におけるコンタクトホール形成を容易に行うことができる。

【0052】本実施形態において、図1Aに示すように、蓄積電極のコンタクトホールは、ワード線とビット線で囲まれた格子状の領域内に開口している。

【0053】図3は、ビット線コンタクト部と蓄積電極コンタクト部とにプラグ16b、16aを形成した工程における平面図であり、図2Dに対応している。

【0054】例えば、デザインルールが $0.2\mu\text{m}$ の場合、 $0.2\mu\text{m}$ で囲まれた領域、すなわち $0.2\mu\text{m}$ 平方のコンタクトホール内にサイドウォール等の絶縁膜が片側で $0.06\mu\text{m}$ の厚さで形成されているとすれば、 $0.08\mu\text{m}$ □のコンタクトホールになる。このときの問題点は、エッチングであり、このような微細で深いコンタクトホールのエッチングは極めて難しい。

【0055】特に、256MDRAM以上の集積度の高いデバイス（デザインルールが $0.22\mu\text{m}$ 程度以下）においては、その解像度を上げるため、波長の短いエキシマ・ステッパーを用いなくてはならないが、それだけでは解像力や製造マージンを考えた場合不十分であり、何等かの超解像手法が必要である。その中でも最も有力なのが、位相シフト法と呼ばれる方法で、隣り合うパターンの位相を $180^\circ$ 反転させるLevenson型の位相シフト法は最も効果が大きく期待されている方法である。

【0056】しかしながら、その隣り合うパターンの位相を反転させるという原理に沿ったパターンでなくては、その効果は発揮出来ない。図3に示したプラグ16のレイアウトでは、1つのビット線コンタクト16bに2つの蓄積電極コンタクト16bが3角形型に隣接する。互いに隣接する3つのコンタクトを互いに逆位相にすることはできない。従って、図3はLevenson型の位相シフトを適用しにくいレイアウトになっている。

【0057】また、ビット線は、周辺回路部（特にセンスアンプ）においてもn型拡散層にコンタクトする必要がある。その場合、図2Dに示したように、プラグ16を周辺回路部にも設けている。つまり、周辺回路部でのコンタクトは、ビット線／プラグ／n型拡散層というコンタクト構造になり、コンタクト面を2つ有することとなる。従って、ビット線が拡散層に直接コンタクトする場合に比べて、コンタクト抵抗の値が大きくなったり、コンタクト抵抗がばらつくという問題がある。

【0058】さらに、周辺回路部ではコンタクト部がメモリセル部に比べて散在しており、孤立パターンとなっ

ている。このとき、プラグ16のバターニングにはLevenson型の位相シフトを用いようとしても、この方法は孤立パターンには有効ではなくかえってLevenson型の位相シフトの効果を出すために露光の条件（開口数、 $\sigma$ 値、露光時間）を最適化すると、より大きな径のコンタクトホールでないと開口しなくなるという問題がある。

【0059】〔第2の実施形態〕第2実施形態では、プラグ16を蓄積電極のコンタクト部のみに形成し、Levenson型の位相シフトの効果を出して蓄積電極部のコンタクトホールを形成する。

【0060】また、ビット線を直接、周辺回路部にコンタクトさせ、コンタクト抵抗のばらつきを抑える。

【0061】以下、第2実施形態について図面を参照しつつ、具体的に説明する。第2実施形態は図4A乃至図9Iに示される。図中、同一符号は同一のものを示すものとし、図1A～図3と対応する工程についてはその説明を省略する。

【0062】図4A、5A、…8Aは、本実施形態におけるメモリセルの平面図である。図中、縦方向にワード線8が延在する。図4B、5B、…8Bは、本実施形態における周辺回路の2つのMOSTランジスタの平面図である。

【0063】図9A～図9Iは、本実施形態による半導体装置の製造工程を説明するチップの断面図であり、図4A、5A、…8Aのメモリセル部MCのA-A'、B-B'断面、図4B、5B、…8Bの周辺回路PCのC-C'断面にそれぞれ対応している。

【0064】図4A、4B、9Aを参照して、p型シリコン基板1上に、図2Aで説明したのと同様の技術を用いて、フィールド酸化膜2を形成した後、ゲート酸化膜3およびゲート電極8を形成する。なお、ゲート電極はワード線となる。ウェル構造は省略するが、図1Bと同様である。

【0065】図9Bを参照して、図2Bで説明したのと同様の技術を用いて、ゲート電極8をマスクとしてn<sup>-</sup>型不純物拡散層9を形成する。なお、n<sup>-</sup>型不純物拡散層9は転送トランジスタのソース、ドレインとなる。次いで、厚さ60nmのSiO<sub>2</sub>膜を形成し異方性エッチングすることにより、SiO<sub>2</sub>からなるサイドウォール10を形成する。

【0066】図9Cを参照して、図2Cで説明したのと同様の技術を用いて、SiO<sub>2</sub>膜11、Si<sub>3</sub>N<sub>4</sub>膜12を形成する。

【0067】次いで、平坦化膜としてBPSG膜13を形成し、熱処理によりBPSG膜13をリフローする。なお、完全に平坦化を行うためには、CMP法により表面を研磨して平坦化を行うことが好ましい。

【0068】図5A、5B、9Dを参照して、減圧CVD法により全面に、厚さ50nmのSi<sub>3</sub>N<sub>4</sub>膜14を

形成する。次いで、Levenson型の位相シフト法を適用してパターニングされたレジストマスク（図示せず）により、 $\text{Si}_3\text{N}_4$  膜14、BPSG膜13、 $\text{Si}_3\text{N}_4$  膜12、 $\text{SiO}_2$  膜11を選択的に除去して、蓄積電極を $n^-$ 型不純物拡散層9にコンタクトさせるコンタクトホール15aのみを形成する。ビット線を $n^-$ 型拡散層9にコンタクトさせるコンタクトホールや周辺回路のコンタクトホールはこの段階では形成されない。

【0069】さらに、減圧CVD法により、厚さ300nmのドーパントシリコン層をコンタクトホール15aに埋め込み、CMP法により $\text{Si}_3\text{N}_4$  膜14上のドーパントシリコン層を除去して、導電プラグ16aを形成する。

【0070】図6A、6B、9Eを参照して、減圧CVD法により全面に、厚さ20~60nmの $\text{SiO}_2$  膜17を形成する。この $\text{SiO}_2$  膜17は、プラグ16aと2層目配線となるビット線とを絶縁する。

【0071】次いで、パターニングされたレジストマスク（図示せず）により、 $\text{SiO}_2$  膜17、 $\text{Si}_3\text{N}_4$  膜14、BPSG膜13、 $\text{Si}_3\text{N}_4$  膜12、 $\text{SiO}_2$  膜11を選択的に除去して、ビット線22のコンタクトホール15bと周辺回路のコンタクトホール15bとを同時に形成する。

【0072】図7A、7B、9Eを参照して、減圧CVD法により全面に厚さ40nmのドーパントシリコン層18、厚さ120nmのWSi層19、厚さ120nmの $\text{SiO}_2$  膜20、プラズマCVD法により反射防止膜となる $\text{SiON}$ 膜21を順次形成する。次いで、パターニングされたレジストマスク（図示せず）により、それぞれの層を選択的に除去してビット線22を形成する。

【0073】さらに、減圧CVD法によりビット線構造を覆って、基板全面に厚さ60nmの $\text{SiO}_2$  膜を形成し、異方性エッチングにより $\text{SiO}_2$  からなるサイドウォール23を形成する。

【0074】図9Fを参照して、図2Fで説明したのと同様な技術を用いて、基板全面に $\text{SiO}_2$  膜24、 $\text{Si}_3\text{N}_4$  膜25を順次形成する。

【0075】図9Gを参照して、図2Gで説明したのと同様な技術を用いて、BPSG膜26を形成し、熱処理によりBPSG膜26をリフローする。なお、完全に平坦化を行うためには、CMP法により表面を研磨して平坦化を行うことが好ましい。

【0076】図8A、8B、9Gを参照して、BPSG膜26、 $\text{Si}_3\text{N}_4$  膜25、 $\text{SiO}_2$  膜24、を順次選択的に除去して、蓄積電極形成用のコンタクトホールを形成する。

【0077】さらに、ドーパントシリコン層を形成し、さらに蓄積電極形成用のコンタクトホール内を埋め込むようにレジスト28を塗布した後、CMP法により表面を

研磨してBPSG膜26上のシリコン層を除去し、蓄積電極27を形成する。

【0078】図9Hを参照して、図2Hで説明したのと同様な技術を用いて、蓄積電極内のレジスト28を除去する。次いで、 $\text{Si}_3\text{N}_4$  膜25をエッチングストップとしてウェットエッチングによりBPSG膜26を除去し、蓄積電極の外側面も露出させる。RTN法により蓄積電極27の表面を窒化する。次いで、 $\text{Ta}_2\text{O}_5$  膜29を形成し酸化熱処理または酸素プラズマアニールを行う。

【0079】さらに、対向電極となるTiN膜を形成し、パターニングすることにより対向電極30を形成する。さらに、層間絶縁膜31をBPSG等で形成し、リフロー又はCMPを行って表面を平坦化する。レジストパターンを用いて周辺回路のコンタクトホールCHを開く。

【0080】図9Iを参照して、バリアメタル層32、主導電層33等からなる配線形成などの工程を経ることにより、スタック型キャパシタを有するDRAM装置が製造される。

【0081】なお、場合によってはビット線22を形成した後も、かさ上げの為、プラグをさらに形成してもよい。この場合、セル部分の高さが第1実施形態に比べて高くなってしまいが、蓄積電極接続用プラグ16のコンタクトホール15a形成は、Levenson型の位相シフト法を用いて行うので、容易にコンタクトホールを形成することができる。

【0082】本実施形態によれば、周辺回路部のコンタクトホール15bは、蓄積電極用コンタクトホール15aとは別に、ビット線のコンタクトホール15bと同時に開口することになるので、Levenson型の位相シフト法は不要となり、周辺回路部のコンタクト径を小さくできるので、レイアウト面積を縮小することができる。

【0083】また、周辺回路部の $n$ 型拡散層とのコンタクトホール15bは、直接基板上に開口するので、周辺回路部のコンタクト抵抗が安定し、且つばらつきを抑えることができる。

【0084】[第3実施形態]次に、第3実施形態について図面を参照しつつ説明する。

【0085】第2実施形態では、ビット線材料にシリコン層とWSiとを用いていたので、周辺回路部でのコンタクトは、 $n$ 型のドーパントシリコンを用いた場合には、 $n$ 型の拡散層としかコンタクトをすることができなかった。

【0086】したがって、周辺回路部において、 $p$ 型の拡散層とコンタクトをとるには上層の金属配線を利用してコンタクトをとるしかなかった。また、上層配線から基板表面までの深いコンタクトホールを形成しなければならぬので、位置合わせ余裕をとるためにレイアウト

面積が大きくなるという問題があった。さらに、そのような深いコンタクトホール形成にあたって、エッチングの制御性が難しいという問題もあった。

【0087】本実施形態によれば、キャパシタの下に形成したビット線構造において、その材料を金属配線とする。従って、周辺回路部のn型拡散層にもp型拡散層にも、浅いコンタクトホールを介してコンタクトすることができ、レイアウト面積を縮小することができる。

【0088】図10は、第3実施形態における半導体装置の断面図を示したものであり、第2実施形態で説明した図9Iの断面図に相当するものである。図中、9aはn型拡散層、9bはp型拡散層を示している。第2層目の導電層であるビット線22を2層の金属配線18a、19aで形成する。その他の符号は第2実施形態において説明したものと同一のものを示すものとする。ウェル構造は一部図示を省略する。

【0089】本実施形態によれば、ビット線のコンタクトホール15bを形成する際に、周辺回路部のnチャネルトランジスタ領域とpチャネルトランジスタ領域とに同時にコンタクトホール15bを形成することができる。

【0090】したがって、図9Iに示したように、上層の金属配線を利用してダイレクトに基板とコンタクトをとる必要がなくなるので、周辺回路部のレイアウト面積を縮小することができる。

【0091】〔第4実施形態〕本発明による第4実施形態を、図11、図12を参照しつつ具体的に説明する。

【0092】周辺回路部において1層目の導電層と2層目の導電層とをコンタクトする為の手法を中心に本実施形態を以下に示す。

【0093】図11は、第2実施形態における図9Iに相当する半導体装置の断面図であり、周辺回路部右端において1層目の導電層4、5と2層目の導電層18、19とがコンタクトをしている場合を示している。

【0094】図12は、第4実施形態における半導体装置の断面図を示したものであり、図11に示す半導体装置を改良したものである。また、セル部については図9Iのセル部に相当するものであり、周辺回路部については図9Iの周辺回路部に類似するものである。なお、図中、同一符号は同一のものを示すものとする。

【0095】本実施形態では、SACに用いる $\text{Si}_3\text{N}_4$ 膜12を形成後、周辺回路領域の $\text{Si}_3\text{N}_4$ 膜12を除去する。すなわち、例えば図2C、図9Cの工程において、第1層目の導電層と第2層目の導電層とのコンタクトを取りたい部分を含む領域の前記 $\text{Si}_3\text{N}_4$ 膜12を選択的に除去する。セル部においては、n型拡散層9と層間絶縁膜13との間に1層の $\text{Si}_3\text{N}_4$ 膜12が存在し、周辺回路部においては、1層目導電層4、5と層間絶縁膜13との間に1層の $\text{SiON}$ 膜7が存在する。 $\text{SiON}$ 膜7と $\text{SiN}$ 膜12は、同一のエッチングで選

択的にエッチングできる。

【0096】これにより、ビット線と基板とのコンタクトホールを開く際に、同時に第1層目の導電層と第2層目の導電層とのコンタクトを形成することが可能になる。基板とのコンタクトホールとは別個に第1層目導電層への微細なコンタクトホールを開くしなくてはならない図11の方法に比べ、図12ではコンタクトホールを開きたい領域の $\text{SiON}$ 膜を除去するためのパターンを追加して、加工を行えば良いので、別個の微細パターンは不要となり、歩留りや信頼性の向上が可能である。

【0097】〔第5実施形態〕本発明における第5実施形態について、図13を参照しつつ説明する。

【0098】本実施形態は、第3実施形態と第4実施形態とを組み合わせたものであり、1層目の導電層と2層目の導電層とをコンタクトする為の手法で、かつ2層目の導電層に金属を適用した場合を示している。

【0099】図13は、本実施形態における半導体装置の断面図であり、第4実施形態で説明した図12を改良したものである。なお、図中、同一符号は同一のものを示すものとする。

【0100】本実施形態によれば、ビット線のコンタクトを形成する際に、周辺回路部のnチャネルトランジスタ領域とpチャネルトランジスタ領域とに同時にコンタクトホールを形成することができ、上部配線でダイレクトに基板とコンタクトをとる必要が減少するので、周辺回路部のレイアウト面積を縮小することができる。

【0101】また、SACに用いる $\text{Si}_3\text{N}_4$ 膜12を形成後、周辺回路領域の $\text{Si}_3\text{N}_4$ 膜12を除去しているので、ビット線と基板とのコンタクトホールを開く際に、同時に第1層目の導電層と第2層目の導電層とのコンタクトを形成することが可能になり、工程数を削減することができる。

【0102】〔第6実施形態〕本発明における第6実施形態について、図14を参照しつつ説明する。

【0103】本実施形態は、周辺回路部において、コンタクトホールを形成する方法に関する。層間絶縁膜をエッチングして、不純物拡散層や配線層にコンタクトホールを形成する場合に、層間絶縁膜が複数の酸化膜や複数の窒化膜から構成されていると、コンタクトホールを形成する際のエッチングが複雑になってしまう。

【0104】そこで、本実施形態は、周辺回路部におけるコンタクトホールを形成する工程を安定して行うことを特徴とする。

【0105】図14は、本実施形態を示す半導体装置の断面図であり、第2実施形態で説明した半導体装置を改良したものである。なお、図中、同一符号は同一のものを示すものとする。

【0106】図14を参照して、本実施形態における半導体装置の製造工程は、第2実施形態において図9A～

9Iを用いて説明した製造工程とほぼ同様であり、以下異なる点について説明する。

【0107】まず、1層目の配線となるゲート電極をパターンニングした後に、周辺回路部では、例えば磷酸ボイル等によりゲート電極8上のSiON膜7を除去する。また、2層目の配線となるビット線をパターンニングした後も、周辺回路部ではビット線上のSiON膜21を除去する。さらに、対向電極30のパターンニングに続けて、周辺回路部ではSACのSi<sub>3</sub>N<sub>4</sub>膜25を除去する。なお、SiON膜7、21は、配線をパターンニングする際の反射防止膜として用いているものであり、SiON膜7、21を用いずに配線をパターンニングするのであれば、除去する必要はない。

【0108】本実施形態によれば、周辺回路部の1層目配線、ビット線上にSiON膜がなく、1層のSiN膜が形成されている。メモリセル部を形成する上で必要なSACに用いる窒化膜を、除去すると同時に周辺回路部のSiN膜を除去し、その下の酸化膜も同時に除去できる。特に工程を増やすことなく周辺回路部において選択的に除去しているので、周辺回路部におけるコンタクトホール形成が容易になる。

【0109】〔第7実施形態〕本発明における第7実施形態について、図15を参照しつつ説明する。

【0110】第6実施形態では、1層目配線（ゲート電極）上のSiON膜7、2層目配線（ビット線）上のSiON膜21をそれぞれ除去し、また、対向電極下のSi<sub>3</sub>N<sub>4</sub>膜25を対向電極をマスクとして除去することにより、周辺回路部におけるコンタクトホール形成を容易にしているが、本実施形態では、さらにコンタクトホール形成を容易にする方法を提供する。

【0111】図15は、本実施形態による半導体装置の断面図であり、第6実施形態で説明した半導体装置を改良したものである。なお、図中、同一符号は同一のものを示すものとする。

【0112】図15を参照して、本実施形態における半導体装置の製造工程も、第6実施形態と同様に、第2実施形態において図9A～9Iを用いて説明した製造工程とほぼ同様であり、以下異なる点について説明する。

【0113】まず、1層目の配線となるゲート電極をパターンニングした後に、例えば磷酸ボイル等により周辺回路部のゲート電極8上のSiON膜7を除去する。

【0114】次に、SACに用いるSi<sub>3</sub>N<sub>4</sub>膜12を形成後、周辺回路領域のSi<sub>3</sub>N<sub>4</sub>膜12を選択的に除去する。次に、2層目の配線となるビット線をパターンニングした後も、ビット線上のSiON膜21を除去する。さらに、対向電極30のパターンニングに続けて、周辺回路部のSACのSi<sub>3</sub>N<sub>4</sub>膜25、層間絶縁膜であるSiO<sub>2</sub>膜24、SACのSi<sub>3</sub>N<sub>4</sub>膜14を順次除去する。

【0115】なお、SiON膜7、21は、配線をパ

ターンニングする際の反射防止膜として用いているものであり、SiON膜7、21を用いずに配線をパターンニングするのであれば、除去する必要はない。

【0116】本実施形態によれば、周辺回路部における全てのSiON膜7、21、Si<sub>3</sub>N<sub>4</sub>膜12、25、14を除去しているので、周辺回路部におけるコンタクトホール形成がさらに容易になる。

【0117】〔第8実施形態〕本発明の第8実施形態は、図16A～16Iに示される。

【0118】本実施形態は、第4実施形態とは異なる手段を用いて、周辺回路部において1層目の導電層と2層目の導電層をコンタクトする手法を提供する。

【0119】図16A～16Iは、本実施形態による半導体装置の製造工程を示すチップの断面図であり、図中、同一符号は同一のものを示すものとする。

【0120】図16Aを参照して、p型シリコン基板1上に公知の技術を用いてLOCOS分離（選択酸化）を行い、厚さ250nmのフィールドSiO<sub>2</sub>膜2を形成した後、熱酸化により、厚さ5～10nmのゲート酸化膜となるSiO<sub>2</sub>膜3を形成する。次いで、減圧CVD法により高濃度にP（リン）を含む厚さ50nmのシリコン層4、厚さ120nmのWSi層5、厚さ20nmのSiO<sub>2</sub>膜6、厚さ80nmのSi<sub>3</sub>N<sub>4</sub>膜7'を順次形成する。

【0121】さらに、パターンニングされたレジストマスク（図示せず）により、1層目の導電層と2層目の導電層とのコンタクトをとりたい部分を含む領域について、Si<sub>3</sub>N<sub>4</sub>膜7'を選択的に除去する。

【0122】図16Bを参照して、パターンニングされたレジストマスク（図示せず）により、Si<sub>3</sub>N<sub>4</sub>膜7'、SiO<sub>2</sub>膜6、WSi層5、シリコン層4をそれぞれ選択的に除去して、ゲート電極8（1層目配線）を形成する。なお、ゲート電極はワード線となる。

【0123】図16Cを参照して、ゲート電極8をマスクとして、P（リン）イオンをシリコン基板1中に注入し、n<sup>-</sup>型不純物拡散層9を形成する。なお、n<sup>-</sup>型不純物拡散層9は、セル部では転送トランジスタのソース、ドレインとなり、周辺回路部ではnチャネルトランジスタのLDD用の低濃度拡散層となる。次いで、減圧CVD法により全面に厚さ60nmのSi<sub>3</sub>N<sub>4</sub>膜を形成し、異方性エッチングにより、Si<sub>3</sub>N<sub>4</sub>からなるサイドウォール10'を形成する。

【0124】図16Dを参照して、周辺回路部のnチャネルトランジスタ領域に砒素イオンを注入することによりn<sup>+</sup>型拡散層を形成する。周辺部のpチャネルトランジスタ領域にボロンイオンを注入することによりp<sup>+</sup>拡散層を形成する。

【0125】次いで、減圧CVD法により全面に、厚さ20nmのSiO<sub>2</sub>膜11、厚さ300～400nmのBPSG膜13を形成し、窒素雰囲気中で800℃程度

の熱処理によりBPSG膜13をリフローする。なお、完全に平坦化を行うためには、CMP法により表面を研磨して平坦化を行うことが好ましい。

【0126】次いで、減圧CVD法により全面に、厚さ50nmの $\text{Si}_3\text{N}_4$ 膜14を形成し、パターニングされたレジストマスク（図示せず）により、蓄積電極がコンタクトする領域の $\text{Si}_3\text{N}_4$ 膜14を選択的に除去する。次いで、BPSG膜13を窒化膜7'、10'を利用した自己整合により除去して、SACによるコンタクトホール15aを形成する。

【0127】さらに、減圧CVD法により、厚さ300nmのドーパントシリコン層をコンタクトホール15a内に埋め込み、CMP法により $\text{Si}_3\text{N}_4$ 膜14上のドーパントシリコン層を除去して、プラグ16を形成する。

【0128】図16Eを参照して、減圧CVD法によりプラグ16を覆って全面に、厚さ20～60nmの $\text{SiO}_2$ 膜17を形成する。この $\text{SiO}_2$ 膜17は、プラグ16と2層目配線となるビット線とを絶縁する。次いで、パターニングされたレジストマスク（図示せず）により、 $\text{SiO}_2$ 膜17、 $\text{Si}_3\text{N}_4$ 膜14、BPSG膜13、 $\text{SiO}_2$ 膜11を選択的に除去して、ビット線22のコンタクトホール15bと周辺回路のコンタクトホール15bとを同時に形成する。コンタクトホール15a形成時と同様、窒化膜7'、10'を利用して、自己整合でコンタクトホール15bが形成される。

【0129】図16Fを参照して、減圧CVD法により全面に、高濃度にPを含む厚さ40nmのドーパントシリコン層18、厚さ120nmのWSi層19、厚さ20nmの $\text{SiO}_2$ 膜20、厚さ120nmの $\text{Si}_3\text{N}_4$ 膜21'を順次形成する。次いで、パターニングされたレジストマスク（図示せず）により、それぞれの層を選択的に除去してビット線22を形成する。

【0130】さらに、減圧CVD法により全面に厚さ60nmの $\text{Si}_3\text{N}_4$ 膜を形成し、異方性エッチングにより $\text{Si}_3\text{N}_4$ からなるサイドウォール23'を形成する。

【0131】図16Gを参照して、減圧CVD法により全面に、厚さ10～30nmの $\text{SiO}_2$ 膜24を形成する。次いで、平坦化膜として全面に厚さ1000～1500nmのBPSG膜26を形成し、窒素雰囲気中で850℃の熱処理によりBPSG膜26をリフローする。なお、完全に平坦化を行うためには、CMP法により表面を研磨して平坦化を行うことが好ましい。

【0132】次いで、パターニングされたレジストマスクにより（図示せず）、BPSG膜26、 $\text{SiO}_2$ 膜24、を窒化膜21、23'を利用した自己整合で順次選択的に除去して、蓄積電極形成用のコンタクトホールHを形成する。

【0133】次いで、減圧CVD法により高濃度にリンを含む厚さ60nmのドーパントシリコン層を形成し、さ

らに蓄積電極形成用のコンタクトホール内にレジスト28を埋め込んだ後、CMP法により表面を研磨してBPSG膜26上のシリコン層を除去し、蓄積電極27を形成する。

【0134】図16Hを参照して、蓄積電極内のレジスト28を除去する。次いで、HF系のウェットエッチングによりBPSG膜26を除去し、蓄積電極の外側面も露出させる。図では、BPSG膜26を一部残す場合を示している。次いで、RTN法により、蓄積電極27の表面を窒化する。次いで、減圧CVD法により、膜厚5～15nmの $\text{Ta}_2\text{O}_5$ 膜29を形成し、800～850℃程度の酸化熱処理または酸素プラズマアニールを行う。

【0135】さらに、減圧CVD法により全面に、対向電極となる厚さ50nmのTiNを形成し、パターニングされたレジストマスク（図示せず）をマスクとしてエッチングを行うことにより、対向電極30を形成する。

【0136】図16Iを参照して、層間絶縁膜31、配線層32、33形成などの工程を経ることにより、スタック型キャパシタが製造される。

【0137】本実施形態では、図16Aの工程において、SACに用いる $\text{Si}_3\text{N}_4$ 膜7'を形成後、周辺回路領域の $\text{Si}_3\text{N}_4$ 膜7'を選択的に除去することにより、図16Eの工程においてビット線と基板とのコンタクトホールを開口する際に、同時に第1層目の導電層と第2層目の導電層とのコンタクトを形成することが可能になり、工程数を削減することができる。

【0138】さらに、本実施形態によれば、ゲート電極（1層目配線）やビット線（2層目配線）を囲むように $\text{Si}_3\text{N}_4$ 膜を形成してセルフアラインコンタクトを行っている。周辺回路部において余計な $\text{Si}_3\text{N}_4$ 膜が存在しないので、周辺回路部におけるコンタクトホールの形成が容易になる。

【0139】〔第9実施形態〕第4実施形態から第8実施形態では、周辺回路部の $\text{Si}_3\text{N}_4$ 膜を選択的に除去することによって、周辺回路部におけるコンタクトホールの形成を容易にすることができることを説明した。

【0140】本実施形態では、メモリセル部における工程数を削減し、かつ周辺回路部におけるコンタクトホールの形成を容易にすることができる半導体装置およびその製造方法を提供する。

【0141】以下、第9実施形態について図面を参照しつつ、具体的に説明する。本実施形態は図17A、17B、18A～18Lに示される。図中、同一符号は同一のものを示すものとする。

【0142】図17Aは、本実施形態におけるメモリセル部の平面図である。図17Bは、本実施形態におけるメモリセル部及び周辺回路部の断面図であり、メモリセル部については、図17AのX-X'、Y-Y'線に沿う断面にそれぞれ対応している。



【0143】また、図18A～18Lは、本実施形態による半導体装置の製造工程を示す断面図である。本実施形態は第2実施形態の変形例であり、図中、第2実施形態と同一の符号は同一のものを示す。

【0144】図18Aを参照して、p型シリコン基板1上に公知の技術を用いてLOCOS分離（選択酸化）を行い、厚さ250nmのフィールド $\text{SiO}_2$ 膜2を形成する。次いで、ウェル拡散層、素子分離拡散層、チャネル拡散層をそれぞれイオン注入法により形成する（図示せず）。次いで、熱酸化により、厚さ5～10nmのゲート酸化膜となる $\text{SiO}_2$ 膜3を形成する。

【0145】図18Bを参照して、CVD法により全面に、高濃度にリンを含む厚さ50nmのドーパントシリコン層4、厚さ120nmのWSi層5、厚さ80nmの $\text{SiO}_2$ 膜6を順次形成する。次いで、その上に反射防止膜として、フィトリソグラフィに用いる露光波長に対して適当な吸収を有する膜、例えば厚さ30nm程度のSiON膜7をプラズマCVD法により形成する。

【0146】さらに、パターニングされたレジストマスク（図示せず）により、SiON膜7と $\text{SiO}_2$ 膜6とを例えばF系で、WSi層5とシリコン層4とを例えばC1系でそれぞれ選択的に除去して、ゲート電極8を形成する。なお、ゲート電極8はワード線となる。以下、簡略化のため、SiON膜7は図示を省略する。

【0147】図18Cを参照して、ゲート電極8をマスクとして、Pイオンを基板1中に注入し、 $n^+$ 型不純物拡散層を形成する（図示せず）。なお、 $n^+$ 型不純物拡散層は、セル部では転送トランジスタのソース、ドレインとなり、周辺回路部ではnチャネルトランジスタのLDD用の低濃度拡散層となる（図示せず）。次いで、減圧CVD法により全面に厚さ70nmの $\text{SiO}_2$ 膜を形成し、異方性エッチングにより、サイドウォール10を形成する。

【0148】次いで、周辺回路部のnチャネルトランジスタ領域に砒素イオンを注入することにより $n^+$ 拡散層を形成する。また、周辺部のpチャネルトランジスタ領域にボロンイオンを注入することにより $p^+$ 拡散層を形成する（図示せず）。

【0149】次いで、減圧CVD法により全面に、厚さ50～100nm、好ましくは60～80nmの $\text{Si}_3\text{N}_4$ 膜12を形成する。なお、 $\text{Si}_3\text{N}_4$ 膜12はコンタクトホールを形成する際のストップ膜となる。

【0150】次いで、平坦化膜として全面に厚さ300～400nmのBPSG膜13を形成し、熱処理によりBPSG膜13をリフローさせる。その後、CMP法によりゲート電極8の上方で100nm程度の厚さになるようにBPSG膜13を研磨し、表面を平坦化する。

【0151】図18Dを参照して、パターニングされたレジストマスク（図示せず）により、BPSG膜13を選択的にエッチングして $\text{Si}_3\text{N}_4$ 膜12を一部削った

ところで止め、続いて $\text{Si}_3\text{N}_4$ 膜12を選択的に除去して、酸化膜10、6をエッチングストップとしたSACによるコンタクトホール15aを形成する。なお、この場合のレジストマスクは位相シフト法により形成するのが好ましい。また、コンタクト抵抗を下げるために、コンタクトホール15aを形成後に、基板1中にリンをイオン注入してもよい。

【0152】次いで、減圧CVD法により、高濃度にリンを含む厚さ200～300nmのドーパントシリコン層をコンタクトホール15a内に埋め込み、CMP法によりBPSG膜13上のドーパントシリコン層を除去して、プラグ16を形成する。

【0153】図18Eを参照して、減圧CVD法によりプラグ16を覆って全面に、厚さ20～50nmの $\text{SiO}_2$ 膜17を形成する。この $\text{SiO}_2$ 膜17は、プラグ16と2層目配線となるビット線22とを絶縁する。次いで、パターニングされたレジストマスク（図示せず）により、 $\text{SiO}_2$ 膜17、BPSG膜13を選択的にエッチングして $\text{Si}_3\text{N}_4$ 膜12を一部削ったところで止め、続いて $\text{Si}_3\text{N}_4$ 膜12を選択的に除去して、酸化膜をエッチングストップとしたSACによるコンタクトホール15bを形成する。

【0154】図18Fを参照して、減圧CVD法により、高濃度にリンを含む厚さ40nmのドーパントシリコン層18、厚さ120nmのWSi層19、厚さ160nmの $\text{SiO}_2$ 膜20を順次形成する。次いで、その上にプラズマCVD法により反射防止膜となる厚さ30nm程度のSiON膜21を順次形成する。

【0155】さらに、パターニングされたレジストマスク（図示せず）により、それぞれの層を選択的に除去してビット線22を形成する。また、必要に応じて、RTA法によりコンタクトアニールを行ってもよい。以後、簡略化のため、SiON膜21は図示を省略する。

【0156】図18Gを参照して、減圧CVD法により厚さ60～70nm程度の $\text{SiO}_2$ 膜を形成し、異方性エッチングにより $\text{SiO}_2$ からなるサイドウォール23を形成する。

【0157】ここで、エッチング量を $\text{SiO}_2$ 膜17と上記サイドウォール用 $\text{SiO}_2$ 膜との膜厚分にすることにより、 $\text{SiO}_2$ 膜17をビット線22およびサイドウォール23の下にのみ残す。これによって、コンタクトホール15a内に充填されたプラグ16の表面を露出させる。

【0158】図18Hを参照して、減圧CVD法により、SACのエッチングストップ膜となる厚さ50～100nmの $\text{Si}_3\text{N}_4$ 膜25を形成する。次いで、平坦化膜として全面に厚さ1000～1200nmのBPSG膜26を形成し、熱処理によりBPSG膜26をリフローさせた後、CMP法により800nm程度の厚さになるように表面を研磨して平坦化を行う。

【0159】図18Iを参照して、パターニングされたレジストマスクにより（図示せず）、BPSG膜26を選択的にエッチングして $\text{Si}_3\text{N}_4$ 膜25を一部削ったところで止め、続いて $\text{Si}_3\text{N}_4$ 膜25を選択的にエッチングして、酸化膜、シリコン膜をエッチングストップとして用いたSACによる蓄積電極形成用のコンタクトホールHCを形成する。

【0160】図18Jを参照して、減圧CVD法により、高濃度にリンを含む厚さ60nmのドーフトシリコン層を形成し、さらにCMP法によりBPSG膜26上のシリコン層を除去して、蓄積電極形成用のコンタクトホール内壁面に接した部分を蓄積電極27として残置する。

【0161】この場合、必要に応じて、CMPを行う前にレジストをシリコン層の凹部に埋め込み、CMP後にレジストを除去することで、CMPの際の研磨粒子が前記凹部に入り込んで除去が困難になることを防止することもできる。

【0162】図18Kを参照して、 $\text{Si}_3\text{N}_4$ 膜25をエッチングストップ膜としてHF系のウェットエッチングにより、BPSG膜26除去し、蓄積電極の外側面も露出させる。次いで、CVD法により、膜厚5～15nmの $\text{Ta}_2\text{O}_5$ 膜29を形成し、酸化熱処理または酸素プラズマアニールを行い、 $\text{Ta}_2\text{O}_5$ 膜29を緻密化する。

【0163】さらに、減圧CVD法により対向電極となる厚さ100nmの $\text{TiN}$ 膜を形成し、パターニングされたレジストマスク（図示せず）をマスクとして、C1系のガスでドライエッチングを行うことにより、対向電極30を形成する。

【0164】このとき、 $\text{TiN}$ 膜のエッチングに引き続いて $\text{Ta}_2\text{O}_5$ 膜をエッチングすることも好適である。また、 $\text{Ta}_2\text{O}_5$ 膜を形成する前に、RTNにより蓄積電極27の表面を窒化することも好適である。

【0165】図18Lを参照して、HDP(High Density Plasma) CVD法により、層間絶縁膜となる厚さ1000nmの $\text{SiO}_2$ 膜31形成し、CMP法により表面を研磨して平坦化する。次いで、周辺回路部においてコンタクトホールを形成する。

【0166】次いで、コリメータスパッタ法により、コンタクトメタルとして膜厚60nmの $\text{Ti}$ 膜を形成し、CVD法により、厚さ30nmの $\text{TiN}$ 膜を形成してバリアメタル層32を形成する。この上に厚さ150nmのW膜33を形成する。

【0167】その後、さらに、層間絶縁膜、配線層などの工程を経ることにより、スタック型キャパシタを有する半導体装置が製造される。

【0168】本実施形態では、第1～8実施形態に比べて、蓄積電極のコンタクトホールを形成する際のストッパ膜となる $\text{Si}_3\text{N}_4$ 膜14を形成していないので、周

辺回路部に形成するコンタクトホールを容易に形成できる。

【0169】さらに、ビット線22にサイドウォール23を形成するエッチング工程において、ビット線22とプラグ16とを絶縁する $\text{SiO}_2$ 膜17を引き続いてエッチング除去してしまうことで、エッチング工程を削減することができる。

【0170】第9実施例では、主に製造工程が削減できることを説明した。しかし、第9実施例において、ビット線のコンタクトホール15bとビット線22が位置ずれを起こした場合に、蓄積電極コンタクト内にビット線コンタクト部分が露出し、蓄積電極がビット線と接触してしまうという問題が生じる。

【0171】図19は上記位置ずれが発生した場合を示し、図20はその後の工程で蓄積電極27を形成すると、ビット線22と蓄積電極とが接触した場合を示している。また、図19および図20は、第9実施形態の図18Fの状態および図18Jの後にBPSG膜を除去した状態に対応している。

【0172】第9実施例で、ビット線コンタクトのホール径がビット線22の幅に比べてかなり大きい場合、あるいは大きさは同程度でも位置ずれが発生した場合に、ビット線のコンタクトホール15bのパターンがビット線22のパターンからはみ出す形となる。特に、ビット線22に形成するサイドウォール23の厚さよりも大きくはみ出した場合に、次の問題が生じることを見いだした。

【0173】図19は、ずれ量がサイドウォール23の厚さの1.5倍程度になった場合の図で、ビット線22形成直後の状態を示している。ビット線22のエッチング量を、形成した $\text{WSi}_{19}$ /シリコン層18の厚さ相当としていると、図のように、ビット線のコンタクトホール15bがはみ出した部分に導体膜の上面が見えている状態になる。

【0174】図20は、第9実施例で説明した工程を経て、蓄積電極27を形成した状態を示す。この図では、蓄積電極を形作するための蓄積電極用コンタクトホールパターンも同様にずれた状態を表している。蓄積電極のコンタクトホールがはみ出した部分にビット線22導体の上面があり、はみ出し量がサイドウォール23の厚さよりも大きいため、サイドウォール23で覆われない状態となる。このため、ビット線22と蓄積電極27とがショートしてしまっている。

【0175】このような設計および位置ずれでは歩留りが低下してしまうが、セル面積を縮小して集積度を向上させるためには、位置ずれ余裕をとって設計するのは不利となる。

【0176】〔第10実施形態〕本実施形態では、上記位置ずれが生じてもビット線22と蓄積電極27とが接触することのない半導体装置およびその製造方法を提供

する。

【0177】以下、第10実施形態について図面を参照しつつ、具体的に説明する。本実施形態は図21A～21Dに示される。図21Aは第9実施形態で説明した図18Eの続きである。図中、同一符号は同一のものを示すものとする。

【0178】図21Aを参照して、ビット線のコンタクトホール15bを開口するところまでは、第9実施形態と同様である。

【0179】次に、CVD法により、高濃度のリンを含む厚さ40nmのドーパントシリコン層18、厚さ120nmのWSi層19、厚さ160nmのSiO<sub>2</sub>膜20を順次形成する。その後、プラズマCVD法により反射防止膜として厚さ30nm程度のSiON膜21を形成する。

【0180】さらに、通常ないし位相シフトのレチクルを用いたリソグラフィ法によりマスク（図示せず）を形成し、SiON膜21およびSiO<sub>2</sub>膜20をF系で、WSi層19およびシリコン層18をCl系でドライエッチングしてビット線22を形成する。また、必要に応じて、この段階でコンタクトアニールをRTA法により行なってもよい。以下、簡略化のためSiON膜21は図示を省略する。

【0181】図21Bを参照して、CVD法により、厚さ70nmのSiO<sub>2</sub>膜を形成し、異方性エッチングによりサイドウォール23を形成する。ここで、エッチング量をSiO<sub>2</sub>膜17と上記サイドウォール用SiO<sub>2</sub>膜との膜厚分にすることにより、SiO<sub>2</sub>膜17をビット線22およびサイドウォール23の下にのみ残す。これによって、コンタクトホール15a内に充填されたプラグ16の表面が露出する。

【0182】本実施形態の特徴は、このビット線22を形成するエッチングで、オーバーエッチングを施して、ビット線コンタクトホール15b内部のビット線導体膜を凹ませておくことである。

【0183】このエッチングにより凹ませる量は、次のようにして決める。位置ずれなどによってビット線のコンタクトホール15bがビット線22パターンからはみ出す量をdとする。次の工程のサイドウォール23を形成するためのSiO<sub>2</sub>膜の厚さをtとする。説明を簡単にするため、このSiO<sub>2</sub>膜はカバレッジが100%、すなわち、完全にコンフォーマルに形成されるものとする。

【0184】 $d \leq t$ の場合は、凹ませる量は、絶縁確保に必要な分でよい。たとえばtと同じ値を選ぶことができる。これにより、ビット線を構成する導電体と蓄積電極を構成する導電体との距離はどの部分でもt以上となる。なお、絶縁確保に必要な分がwであり、 $d < t - w$ なら、凹ませる必要はない。

【0185】図21Bを参照すると、 $2t > d > t$ の場合

合は、ビット線のコンタクトホール15bの右側側壁から形成されるサイドウォール23の丸みのために、サイドウォール23と一体となった絶縁体部分に凹みを生じる。この量は、 $t - (t^2 - (d - t)^2)^{1/2}$ である。これに絶縁確保に必要な分を加えた量だけ、ビット線を構成する導電体を凹ませればよい。

【0186】なお、 $d \geq 2t$ の場合は、本実施形態によってもショートを避けることはできない。しかし、これは本実施形態のように $t = 0.07 \mu\text{m}$ のとき、dが $0.14 \mu\text{m}$ 以上ということであり、位置ずれを最大 $0.1 \mu\text{m}$ とすれば、ビット線のコンタクトホール15bの径がビット線幅よりも $(0.14 - 0.1) \times 2 = 0.08 \mu\text{m}$ 大きいという場合に相当する。 $0.25 \mu\text{m}$ 程度以下の世代のデバイスではこれほど大きな差をつけて設計してもメリットはないと考えられる。

【0187】カバレッジが100%でない場合には、横方向の膜厚が減少すること、ボイドができることを考慮して、d、t、凹み量を設定する。また、ビット線のオーバーエッチングで、ビット線のコンタクトホール15bの内部が順テーパになるようにしておくと、カバレッジが悪いときにうまく埋め込むことができるようになる。また、ビット線のコンタクトホール15bの上部に順テーパを形成することも効果がある。

【0188】さらに、ビット線導体膜にオーバーエッチングを施してビット線コンタクトホール15bの部分において凹ませておく、その量について具体的な数値を用いて詳しく説明する。

【0189】 $0.2 \mu\text{m}$ デバイスの例で説明する。ビット線とその間隔は $0.2 \mu\text{m}$ であるが、ビット線コンタクトホール15b直径は $0.24 \mu\text{m}$ 程度とするのがフォトリソグラフィ上好適である。位置ずれ最大値の典型値は $0.1 \mu\text{m}$ である。この位置ずれの数値には、ビット線コンタクトホール15bの寸法、ビット線22の寸法のバラツキも含ませてある。つまり、ビット線コンタクトホール15bが大きめ、ビット線22が細めに出来上がった場合を想定している（各10%で片側づつなのでその半分）。

【0190】すると、 $d = (0.24 - 0.2) / 2 + 0.1 = 0.12 \mu\text{m}$ となる。サイドウォール絶縁膜の膜厚は70nmが限界に近い。これはビット線22間隔が $0.2 \mu\text{m}$ であったので、両側に $0.07 \mu\text{m}$ のサイドウォールが形成されると、コンタクト幅がすでに $0.06 \mu\text{m}$ しか残らないからである。

【0191】実際の製造では、位置ずれだけではなく、膜厚、エッチング量もバラツキを持つ。成膜で7%、エッチングで7%の幅を想定するのが典型的である。従ってワーストケースを考えるには、 $t = 0.065 \mu\text{m}$ とするのが妥当である。

【0192】すると、 $\Delta = t - (t^2 - (d - t)^2)^{1/2} = 0.03 \mu\text{m}$ となる。ここに、サイドウォール絶

縁膜の膜厚とエッチング量のバラツキを考えると、0.01 $\mu\text{m}$ 余分に削られることを想定する必要がある。そして耐圧確保のために最小でも0.02 $\mu\text{m}$ 程度残すことが好適と考えられるので、合計0.06 $\mu\text{m}$ 以上凹ませておくのが好適となる。

【0193】一方、ビット線形成のようなエッチングでは従来より、膜厚、エッチング量のバラツキを吸収するためオーバーエッチングを施していた。その量は最小で20%程度となる。構造が平坦化されているので、従来技術ではそれ以上のオーバーエッチングは必要ないことに注意されたい。本実施形態の膜厚では、シリコン層40nmと、WSi膜120nmであったから、その20%は0.032 $\mu\text{m}$ となる。従って、従来技術でのビット線形成では、ビット線コンタクトホール15b部分の凹みは0.032 $\mu\text{m}$ 程度となるのが典型であった。

【0194】これに対して本実施形態では、0.06 $\mu\text{m}$ 以上の凹みを作るようにしたので、ビット線コンタクト部分でのビット線導体と蓄積電極導体とのショートを防ぐことができる。

【0195】なお、従来技術では、ビット線コンタクトホール部分においてビット線を太くしておくことにより、位置ずれが発生しても、ビット線がビット線コンタクトホールから露出しないようにパターン設計しておくのが典型的であった。

【0196】この場合には、オーバーエッチングをいくら施しても、コンタクトホール15b部分での凹みは生じ得ないと同時に、本実施形態の課題としているショートも生じなかった。逆にいうと、微細化のためにはや余裕をとれなくなったことと、上述のデバイス構造であることから、本実施形態の課題が生じたということである。

【0197】別の数値例として、ビット線コンタクトホール15bの直径を0.22 $\mu\text{m}$ に設計し、位置ずれが0.09 $\mu\text{m}$ になった場合を同様に計算すると、 $d=0.1\mu\text{m}$ 、 $t=0.065\mu\text{m}$ となり、 $\Delta=0.01\mu\text{m}$ となる。

【0198】再び、サイドウォール形成での削れ0.01 $\mu\text{m}$ 、耐圧確保0.02 $\mu\text{m}$ を加えると、凹みの最小値は0.04 $\mu\text{m}$ となる。

【0199】さらに別の数値例として、本実施形態を基に、カバレッジが100%でないためにサイドウォール幅がコンタクトホール15bの部分で60nmになった場合を同様に計算すると、 $d=0.1\mu\text{m}$ 、 $t=0.056\mu\text{m}$ となり、 $\Delta=0.024\mu\text{m}$ となる。再びサイドウォール形成での削れ0.01 $\mu\text{m}$ 、耐圧確保0.02 $\mu\text{m}$ を加えると、凹みの最小値は0.054 $\mu\text{m}$ となる。

【0200】図21Cを参照して、その後、第9実施形態で説明した図18H~18Jと同様にして、蓄積電極27を形成する。

【0201】図21Dを参照して、さらに、第9実施形態で説明した図18K、18Lと同様にして、キャパシタ絶縁膜29（図示せず）、対向電極30、層間絶縁膜31、配線層32、33を形成する。

【0202】その後さらに、層間絶縁膜、配線層などの工程を経ることにより、スタック型キャパシタを有する半導体装置が製造される。

【0203】本実施形態では、蓄積電極コンタクト内にビット線コンタクト部分が露出し、ビット線22と蓄積電極27とが接触してしまうという問題に対して、ビット線を加工するエッチングの際に、所定のオーバーエッチを行うことを特徴とする。

【0204】すなわち、ビット線パターンからはみ出したビット線のコンタクトホール15b部の中のビット線を構成する導電体を凹ませておき、ビット線22にサイドウォール23を形成する際に、この凹みをサイドウォール絶縁膜で埋めることで、工程を増やすことなく上記接触を防止することができる。

【0205】〔第11実施形態〕本発明における第11実施形態について、図面を参照しつつ説明する。

【0206】図22は、第11実施形態における半導体装置の断面図であり、図中、第9実施形態と同一の符号は同一のものを示す。

【0207】図22を参照して、以下、第9実施形態との違いを説明する。第9実施形態では、図18Gに示すように、ビット線22とプラグ16とを絶縁する $\text{SiO}_2$ 膜17が、ビット線22とその側壁のサイドウォール23の直下のみ残るように、サイドウォール23形成時に同時に除去した。本実施形態では、サイドウォール23を形成するためのエッチング時には、 $\text{SiO}_2$ 膜17を残し、蓄積電極を形成するコンタクトホールを開口する工程で、エッチングの際のストッパ膜である $\text{Si}_3\text{N}_4$ 膜25の除去に続いて、 $\text{SiO}_2$ 膜17を除去し、プラグ16表面を露出するようにしている。

【0208】本実施形態の利点は、エッチングストッパ膜である $\text{Si}_3\text{N}_4$ 膜25を除去するときに、下地がすべて $\text{SiO}_2$ 膜17、23となるので、シリコン（プラグ16）に対する選択比がとれないような $\text{Si}_3\text{N}_4$ 膜25の除去方法でも製造することができる点である。

【0209】なお、本実施形態における製造方法においても、第10実施形態で詳しく説明したショートの問題は生じる。図23に、ビット線のコンタクトホール15bがビット線22から大きくはみ出した場合を示す。ビット線22を構成する導電体が、蓄積電極を形成するコンタクトホールを開口する際に露出してしまい、ビット線22と蓄積電極27とがショートしてしまう。

【0210】しかし、この問題についても、第10実施形態と同様に、ビット線を凹ませておくことで対処できる（図22参照）。

【0211】〔第12実施形態〕第10実施形態では、

ビット線のコンタクトホール15bとビット線22が位置ずれを起こした場合、ビット線22と蓄積電極27とのショート防止する方法について説明した。本実施形態では、同じ問題に対する対策として、別の実施形態について図面を参照しつつ、具体的に説明する。

【0212】本実施形態は、図24、25A、25Bに示される。図24は、本実施形態におけるメモリセル部の平面図であり、図25A、25Bは、本実施形態における半導体装置の断面図である。また、図25A、25Bは第10実施形態で説明した図19の続きである。図中、第10実施形態と同一の符号は同一のものを示すものとする。

【0213】図25Aを参照して、ビット線22をパターンニングするところまでは、第10実施形態と同様である。

【0214】次に、CVD法により厚さ70nmのSiO<sub>2</sub>膜を形成し、異方性エッチングによりサイドウォール23を形成する。このとき、サイドウォール23の異方性エッチングに続けて、プラグ16表面を露出するようにSiO<sub>2</sub>膜17をエッチングしてもよい。

【0215】次いで、CVD法により、厚さ30nm程度のSiO<sub>2</sub>膜24を形成する。その後、通常ないし位相シフトのレチクルを用いたリソグラフィ法により蓄積電極コンタクトのプラグ16上部のSiO<sub>2</sub>膜17、24を選択的にエッチングして、プラグ16表面を露出させる(図24参照)。

【0216】図25Bを参照して、その後、第10実施形態で説明した図21Cと同様にして、蓄積電極27を形成する。ここで、蓄積電極形成用のコンタクトホールを開く工程で、エッチングストップとなるSi<sub>3</sub>N<sub>4</sub>膜25をエッチングする際、SiO<sub>2</sub>膜24をエッチングストップとするため、ビット線のコンタクトホール15bとビット線22が位置ずれを起こしても、ビット線コンタクト部分が露出しない。

【0217】このように、エッチングストップとなるSi<sub>3</sub>N<sub>4</sub>膜25の下に、SiO<sub>2</sub>膜24を形成し、このSiO<sub>2</sub>膜24を蓄積電極コンタクトのプラグ16の上部のみを開口しておくことで、ビット線コンタクトホール15bとビット線22とが位置ずれを起こしても、ビット線と蓄積電極とのショート防止することができる。

【0218】また、第10実施形態で説明したオーバーエッチングと併用することで、更なる耐圧の向上を図ることができる。

【0219】[第13実施形態]第1～第12実施形態においては、蓄積電極27を形成するコンタクトホールの内壁に蓄積電極を残置して王冠形状を得るようなシリンドラ型キャパシタについて説明したが、本発明はシリンドラ型キャパシタに限定されるものではなく、単純なスタック型キャパシタ型やFIN型キャパシタにも適用するこ

とができる。

【0220】以下、単純なスタック型キャパシタを用いた場合の実施形態について、図面を参照しつつ説明する。

【0221】図26は、単純なスタック型キャパシタを有する半導体装置の断面図であり、特に第10実施形態において説明した半導体装置を単純なスタック型キャパシタ型に変形したものである。図中、第1～第12実施形態において説明した符号と同一の符号は、同一のものを示すものとする。

【0222】図26を参照して、図19に示した工程の後、サイドウォール23を形成し、そのときにビット線22とプラグ16とを絶縁するSiO<sub>2</sub>膜17を除去する。ここまでは第10実施形態と同様である。

【0223】次に、CVD法により、高濃度にリンを含む膜厚1μm程度のドーパントシリコン層を形成する。このとき、必要に応じてCMP法により表面を研磨して平坦化することも好適である。

【0224】さらに、パターンニングされたレジストマスク(図示せず)により、Br系のガスでドライエッチングし、蓄積電極27を形成する。ここで、必要に応じて、蓄積電極の表面に公知の方法を用いて凹凸を形成し、キャパシタ容量増大を図ることができる。

【0225】なお、ビット線22のコンタクトホール15bとビット線22とが位置ずれすると、これまで同様にビット線22と蓄積電極27とのショートが問題になりうるが、ビット線22導体をビット線22のコンタクトホール15b内で凹ませておくことで防止することができる。

【0226】その後、さらに、第10実施形態と同様にしてDRAMのウエハプロセスを完了する。

【0227】本実施形態によれば、工程数を大幅に削減できる。なお、本発明では、第1実施形態から第13実施形態をいくつか組み合わせる実施することができる。

【0228】例えば、第8実施形態と第10実施形態とを組み合わせることができ、以下に説明する。

【0229】本実施形態において、ゲート電極8(ワード線)およびビット線22を形成する際に、それぞれの上に同時に形成しているSiO<sub>2</sub>膜6、20をSiN膜に換え、さらにそれぞれのサイドウォール10、23をSiO<sub>2</sub>膜からSiN膜に換えておく。ビット線コンタクトホール15b、および蓄積電極形成用のコンタクトホールを形成する際のSACエッチングストップ膜12、25を、20nm程度の薄いSiN膜とし、間隙を残すようにする。SACを形成するエッチングは間隙に埋め込まれたBPSG膜13、26を除去するようにし、その後、薄いSiN膜を異方性エッチングして除去する。

【0230】このようにした場合も、第10実施形態とまったく同様の技術を適用することができる。すなわ

ち、ビット線形成のエッチングの際に、オーバーエッチングを施すことで、ビット線コンタクトホール内のWSi/シリコン層を凹ませておく。そしてSiN膜サイドウォールを形成する際にこの凹みを埋めてしまうことができる。

【0231】位置ずれによってビット線コンタクトホール15bがビット線22からはみ出る量と、サイドウォール用SiN膜の膜厚と、必要な凹み量の関係は、第10実施形態と実質的に同じである。

【0232】なお、側面にSiN膜サイドウォールを形成する異方性エッチングにおいて、ビット線22とプラグ16とを絶縁するSiO<sub>2</sub>膜17まで引き続いて除去しなくても、蓄積電極形成用のコンタクトホールを形成するSACエッチング後に、ストッパ膜であるSi<sub>3</sub>N<sub>4</sub>膜25の除去に引き続いてSiO<sub>2</sub>膜17を除去することもできる。

【0233】さらに、ワード線8またはビット線22の形成において、反射防止膜としてSiON膜7、21の代わりに、有機材料膜をレジストの下または上に塗布する方法もある。この場合は、反射防止膜はデバイス上には残らない。

【0234】さらに、ワード線8またはビット線22の材料はWSi層5、19やシリコン膜4、18に限らず、W/TiN膜などの金属膜を用いることもできる。ビット線の場合は、コンタクトメタルとしてTiを加えたW/TiN/Ti膜を用いるのが好適である。

【0235】【第14実施形態】第1実施形態から第13実施形態で説明したように、高集積度の半導体装置を製造するには、SACプロセスが極めて重要である。

【0236】SACプロセスで鍵となる技術は、エッチングされる絶縁膜と、エッチングを止めるストッパ膜との選択比である。現在のところ、層間絶縁膜として酸化膜を用いた場合、ストッパ膜として窒化膜が有力であるが、ドライエッチングにおけるその選択比は十分とはいえない。

【0237】図27Aは、SACプロセスを示す半導体装置の断面図である。なお、図中、第1～13実施形態で用いた符号と同一の符号は同一のものを示すものとする。

【0238】図27Aは、ゲート電極8の肩部においてゲート電極8を覆っているSiO<sub>2</sub>膜6、10が削れている様子を示している。つまり、層間絶縁膜であるBP SG13が厚く形成されている場合、Si<sub>3</sub>N<sub>4</sub>膜12がストッパ膜として機能するように、厚く形成する必要がある。しかし、Si<sub>3</sub>N<sub>4</sub>膜12をエッチングする際に、Si<sub>3</sub>N<sub>4</sub>膜12が厚いとその下のSiO<sub>2</sub>膜6、10が削れてしまい、ゲート電極とコンタクト間の耐圧が低下するという問題がある。

【0239】したがって、現状の選択比では、SACプロセスの使用が難しい。そこで、本実施形態では、スト

ッパSi<sub>3</sub>N<sub>4</sub>膜を二重構造にすることによって、安定したSACプロセスを提供する。

【0240】以下、第14実施形態について図面を参照しつつ、具体的に説明する。本実施形態は図27B、27Cに示される。図中、同一符号は同一のものを示すものとする。

【0241】図27Bは、本実施形態の半導体装置の断面図である。図27Bを参照して、ゲート電極8形成後、Si<sub>3</sub>N<sub>4</sub>膜12a、酸化膜13a、Si<sub>3</sub>N<sub>4</sub>膜12b、酸化膜13bをCVD法によりそれぞれ10nm、50nm、70nm、300nm形成する。

【0242】次に、ゲート電極8間にコンタクトホールを形成する方法について説明する。まず、酸化膜13bは、例えば高密度プラズマでC<sub>4</sub>F<sub>8</sub>、Arの混合ガスを用いてエッチングする。次に、Si<sub>3</sub>N<sub>4</sub>膜12bを酸化膜13aと選択比のとれる条件、例えば燐酸によるウェットエッチングや、SF<sub>6</sub>、O<sub>2</sub>またはSF<sub>6</sub>、HBrの混合ガスを用いたドライエッチングにより除去する。同じようにして酸化膜13a、Si<sub>3</sub>N<sub>4</sub>膜12aをエッチングする。

【0243】なお、Si<sub>3</sub>N<sub>4</sub>膜12aのエッチングで上述のドライエッチングを行う場合、アプリケーションによってはSi<sub>3</sub>N<sub>4</sub>膜12aの下に酸化膜11を成膜する必要がある。この酸化膜11のエッチングはCF<sub>4</sub>、CHF<sub>3</sub>、Arガスをを用いたRIEのエッチングで除去する。また、窒化膜をCF<sub>4</sub>、CHF<sub>3</sub>、Arガスをを用いたRIEでエッチングしてもよい。

【0244】さらに、図27Bの実施形態では上層のSi<sub>3</sub>N<sub>4</sub>膜12bを用いて、厚い酸化膜13bをエッチングする際のストッパ膜として使用しているので、下層のSi<sub>3</sub>N<sub>4</sub>膜12aは、上層のSi<sub>3</sub>N<sub>4</sub>膜12bに比べて格段に薄くすることができる。

【0245】次に、上層のSi<sub>3</sub>N<sub>4</sub>膜12bをも薄く形成できるSACプロセスについて説明する。

【0246】図27Cを参照して、ゲート電極8形成後、Si<sub>3</sub>N<sub>4</sub>膜12a、および酸化膜13a（図示せず）をCVD法によりそれぞれ20nm、50nm成膜し、SOG13cを100nm塗布し平坦化する。このとき、絶縁膜を成膜せず、直接SOGを塗布してもよい。また、絶縁膜を600nm成膜しCMPにより500nmポリッシュし平坦化してもよい。

【0247】次に、Si<sub>3</sub>N<sub>4</sub>膜12b、酸化膜13bをCVD法によりそれぞれ50nm、300nm形成する。

【0248】なお、コンタクトホールを形成するエッチングの方法については図27Bで説明したのと同様の技術を用いればよい。

【0249】図27Cの実施形態では、下層のSi<sub>3</sub>N<sub>4</sub>膜12aを形成した後に、その上の酸化膜13cを平坦にしている。厚い酸化膜13bが平坦となり、エッチ

ングする際の上層の $\text{Si}_3\text{N}_4$ 膜12bの負担を少なくすることができ、上層の $\text{Si}_3\text{N}_4$ 膜12bを薄くすることができる。

【0250】また、本実施形態では、ストップ膜として $\text{Si}_3\text{N}_4$ 膜を用いた場合について説明したが、ストップ膜としては、ポリシリコンや金属酸化物、例えばアルミナ等を用いることも可能である。このときストップであるアルミナのエッチングは $\text{Cl}_2$ 、 $\text{BCl}_3$ ガスを用いたRIE、またはArスパッタエッチングで行う。ポリシリコンは $\text{Cl}_2$ 、 $\text{BCl}_3$ ガス、もしくは $\text{HBr}$ ガスを用いてエッチングする。また、アルミナやポリシリコンを塩素系、臭素系のガスを用いてエッチングする場合その膜の下には酸化膜を形成するのが好ましい。

【0251】本実施形態によれば、二重ストップ構造にすることにより、ストップ膜の膜厚を十分薄くすることができる。その結果ストップ除去エッチングのオーバー量を減らすことができ、耐圧が確保できる。

【0252】〔第15実施形態〕図28は、本発明の第15実施形態を示す半導体基板の断面図である。p型シリコン基板1の表面層には、メモリセル領域において、n型ウェルN1、さらにその内部にp型ウェルP1が形成され、周辺回路部においてはn型ウェルN2が形成されている。メモリセル領域においては、p型ウェルP1内にnチャネルトランジスタが形成され、周辺回路領域においては、n型ウェルN2内にpチャネルトランジスタが形成される。なお、周辺回路領域においても二重ウェルを形成し、n型ウェル内のp型ウェル内にnチャネルトランジスタを形成することができる。

【0253】基板表面には、フィールド酸化膜2が形成され、フィールド酸化膜2によって囲まれた活性領域が画定されている。メモリセル領域においては、ゲート絶縁膜3上に、多結晶シリコン層4、タングステンシリサイド層5が形成され、ゲート電極8を形成している。ゲート電極8上には、酸化シリコン膜6と反射防止膜として機能する $\text{SiON}$ 膜7が形成されている。 $\text{SiON}$ 膜7、酸化シリコン膜6、ゲート電極8がホトリソグラフィによりパターンニングされ、その側壁上に $\text{SiN}$ のサイドウォール絶縁膜10が形成されている。ゲート電極両側には、n型不純物が注入されたソース/ドレイン領域9が形成される。

【0254】このようなゲート電極（ワード線）を形成した基板全面上に、 $\text{SiN}$ 膜12が形成されている。 $\text{SiN}$ 膜12の上に、BPSG膜13が形成され、層間絶縁膜を構成する。BPSG膜13、 $\text{SiN}$ 膜12を貫通して蓄積電極コンタクト用のコンタクトホールが形成され、多結晶シリコン領域16によって埋め込まれている。多結晶シリコン領域16は、BPSG膜13と同一表面を形成するようにエッチバックないし研磨され、その表面上にCVDによりHTO（高温酸化）シリコン酸化膜17が形成されている。

【0255】ビット線コンタクト領域においては、HTO膜17、BPSG膜13、 $\text{SiN}$ 膜12を貫通してコンタクトホールが形成され、このコンタクトホール内面を埋め込むように、HTO膜17表面上に多結晶シリコン膜18、タングステンシリサイド膜19の積層からなる配線が形成されている。この配線がビット線を構成する。ビット線は、HTO膜17によって埋め込まれた多結晶シリコン領域16と絶縁されている。ビット線表面上には、酸化シリコン膜21、 $\text{SiN}$ 膜22の積層が形成され、ビット線と同時にパターンニングされる。ビット線構造の側壁には、 $\text{SiN}$ 膜23aのサイドウォールスペーサが形成されている。

【0256】 $\text{SiN}$ 膜22、 $\text{SiN}$ サイドウォールスペーサ23aをエッチングストップとして用い、蓄積電極用のコンタクトホールが形成され、多結晶シリコン領域16表面を露出している。

【0257】このような構成の上に、蓄積電極となる多結晶シリコン層27、その表面に形成された $\text{Ta}_2\text{O}_5$ のキャパシタ誘電体層29、さらにその表面に形成された $\text{TiN}$ 層30により、蓄積キャパシタが形成される。

【0258】蓄積キャパシタを埋め込むように、層間絶縁膜となるBPSG膜31が形成され、その表面はエッチバック、研磨等により平坦化される。

【0259】周辺回路領域においては、BPSG膜31を貫通してビット線およびビット線と同一構造により形成された配線層、ワード線およびワード線と同一工程によって形成された配線層、および基板表面の導電領域に達するコンタクトホールが形成され、 $\text{TiN}/\text{Ti}$ 積層によるバリア層32、W層33の積層からなる配線が形成される。

【0260】本構成においては、転送トランジスタのゲート電極側壁上、およびビット線側壁上には、直接 $\text{SiN}$ 膜が形成され、エッチングストップとして機能する。BPSG膜13の表面上には、 $\text{SiN}$ 膜は形成されず、直接CVD酸化膜17が形成されている。このような構成においても、ビット線上面および側面を覆う $\text{SiN}$ 膜をエッチングストップとして利用することにより、所望位置にコンタクトホールを開口することができる。

【0261】以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。たとえば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【0262】

【発明の効果】工程数を削減しつつ、製造歩留りを維持でき、半導体装置の高性能化・高密度化に寄与するところが多い。

【図面の簡単な説明】

【図1A】本発明の第1実施形態による半導体装置の平面図である。

【図1B】本発明の第1実施形態による半導体装置の断

造工程を示す断面図である。

【図9G】本発明の第2実施形態による半導体装置の製造工程を示す断面図である。

【図9H】本発明の第2実施形態による半導体装置の製造工程を示す断面図である。

【図9 I】本発明の第2実施形態による半導体装置の製造工程を示す断面図である。

【図10】本発明の第3実施形態による半導体装置の断面図である。

【図11】図9 I に相当する半導体装置の断面図である。

【図12】本発明の第4実施形態による半導体装置の断面図である。

【図13】本発明の第5実施形態による半導体装置の断面図である。

【図14】本発明の第6実施形態による半導体装置の断面図である。

【図15】本発明の第7実施形態による半導体装置の断面図である。

面図である。

【図16A】本発明の第8実施形態による半導体装置の

【図16B】本発明の第8実施形態による半導体装置の製造工程を示す断面図である。

【図16C】本発明の第8実施形態による半導体装置の製造工程を示す断面図である。

【図16D】本発明の第8実施形態による半導体装置の製造工程を示す断面図である。

【図16E】本発明の第8実施形態による半導体装置の製造工程を示す断面図である。

【図16F】本発明の第8実施形態による半導体装置の製造工程を示す断面図である。

【図16G】本発明の第8実施形態による半導体装置の製造工程を示す断面図である。

【図16H】本発明の第8実施形態による半導体装置の製造工程を示す断面図である。

【図16I】本発明の第8実施形態による半導体装置の製造工程を示す断面図である。

【図17A】本発明の第9実施形態によるメセリセル部の平面図である。

【図17B】本発明の第9実施形態によるメモリセルおよび周辺回路の断面図である。

【図18A】本発明の第9実施形態による半導体装置の製造工程を示す断面図である。

【図18B】本発明の第9実施形態による半導体装置の製造工程を示す断面図である。

【図18C】本発明の第9実施形態による半導体装置の製造工程を示す断面図である。

【図18D】本発明の第9実施形態による半導体装置の製造工程を示す断面図である。

【図18E】本発明の第9実施形態による半導体装置の



製造工程を示す断面図である。

【図18F】本発明の第9実施形態による半導体装置の製造工程を示す断面図である。

【図18G】本発明の第9実施形態による半導体装置の製造工程を示す断面図である。

【図18H】本発明の第9実施形態による半導体装置の製造工程を示す断面図である。

【図18I】本発明の第9実施形態による半導体装置の製造工程を示す断面図である。

【図18J】本発明の第9実施形態による半導体装置の製造工程を示す断面図である。

【図18K】本発明の第9実施形態による半導体装置の製造工程を示す断面図である。

【図18L】本発明の第9実施形態による半導体装置の製造工程を示す断面図である。

【図19】第9実施形態の問題点を説明する半導体装置の断面図である。

【図20】第9実施形態の問題点を説明する半導体装置の断面図である。

【図21A】本発明の第10実施形態による半導体装置の製造工程を示す断面図である。

【図21B】本発明の第10実施形態による半導体装置の製造工程を示す断面図である。

【図21C】本発明の第10実施形態による半導体装置の製造工程を示す断面図である。

【図21D】本発明の第10実施形態による半導体装置の製造工程を示す断面図である。

【図22】本発明の第11実施形態による半導体装置の断面図である。

【図23】第11実施形態の問題点を説明する半導体装置の断面図である。

【図24】本発明の第12実施形態による半導体装置のメモリセル部の平面図である

【図25A】本発明の第12実施形態による半導体装置の断面図である。

【図25B】本発明の第12実施形態による半導体装置の断面図である。

【図26】本発明の第13実施形態による半導体装置の

断面図である。

【図27A】本発明の第14実施形態による半導体装置を説明するための基板断面図である。

【図27B】本発明の第14実施形態による半導体装置を説明するための基板断面図である。

【図27C】本発明の第14実施形態による半導体装置を説明するための基板断面図である。

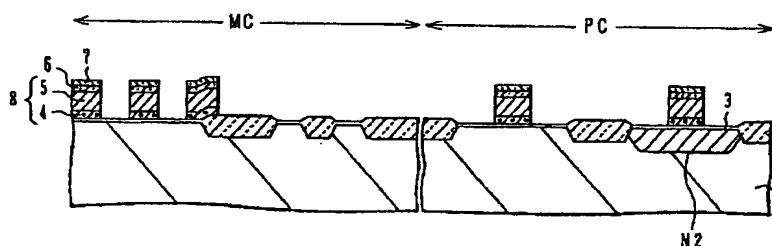
【図28】本発明の第15実施形態による半導体装置を説明するための基板断面図である。

【図29】従来例による半導体装置の断面図である。

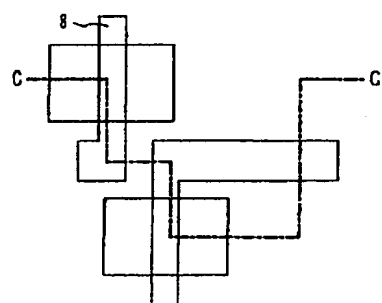
【符号の説明】

- 4 シリコン層
- 5 WSi
- 6 SiO<sub>2</sub> 膜
- 7 SiON膜
- 8 ゲート電極（ワード線、1層目配線）
- 9 n<sup>-</sup> 型不純物拡散層
- 10 サイドウォール
- 11 SiO<sub>2</sub> 膜
- 12 Si<sub>3</sub>N<sub>4</sub> 膜
- 13 BPSG
- 14 Si<sub>3</sub>N<sub>4</sub> 膜
- 15 コンタクトホール
- 15a 蓄積電極接続用のコンタクトホール
- 15b ビット線のコンタクトホール
- 16 プラグ
- 17 SiO<sub>2</sub> 膜
- 18 シリコン層
- 19 WSi
- 20 SiO<sub>2</sub> 膜
- 21 SiON膜
- 22 ビット線
- 23 サイドウォール
- 24 SiO<sub>2</sub> 膜
- 25 Si<sub>3</sub>N<sub>4</sub> 膜
- 27 蓄積電極
- 29 誘電体膜
- 30 対向電極

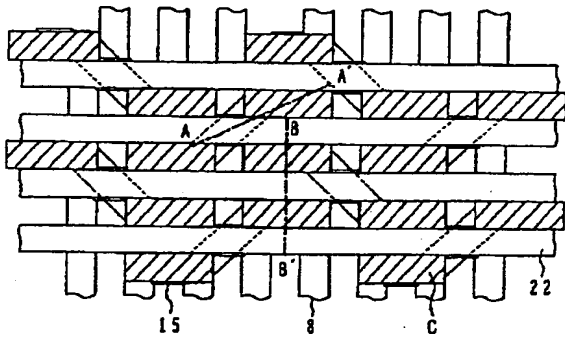
【図2A】



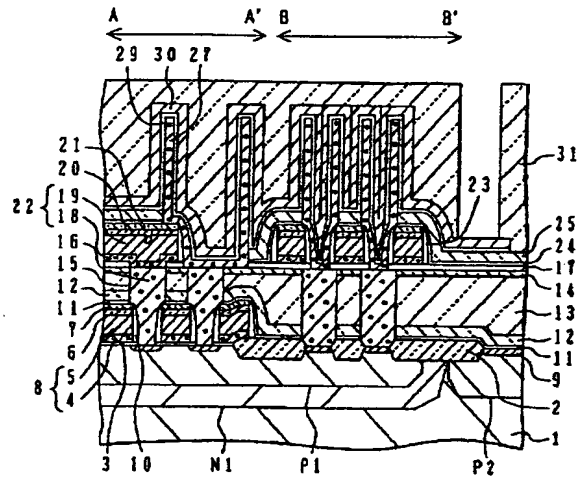
【図4B】



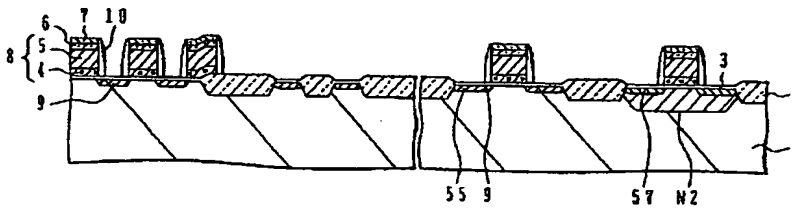
【図1A】



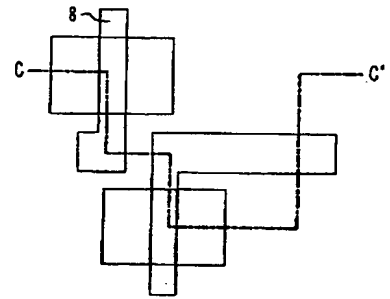
【図1B】



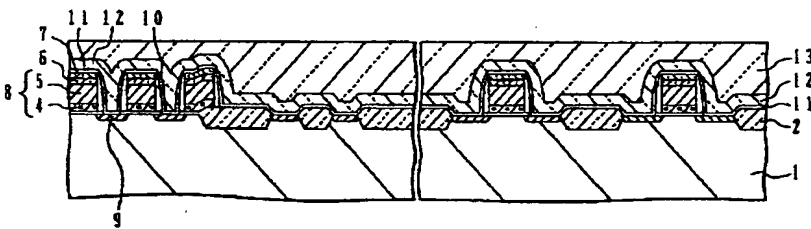
【図2B】



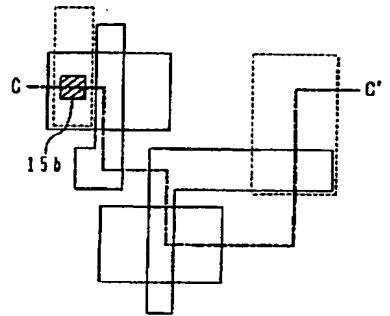
【図5B】



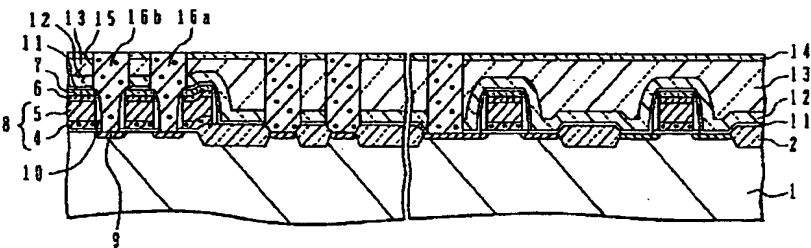
【図2C】



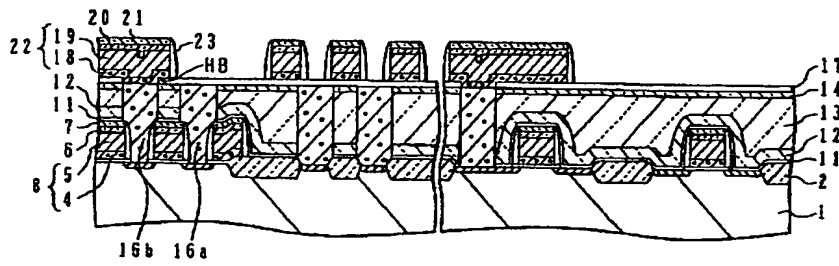
【図6B】



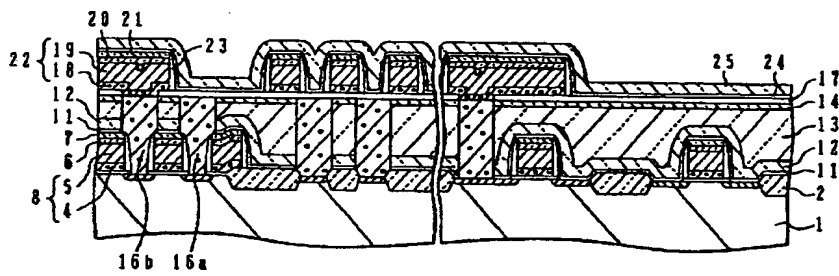
【図2D】



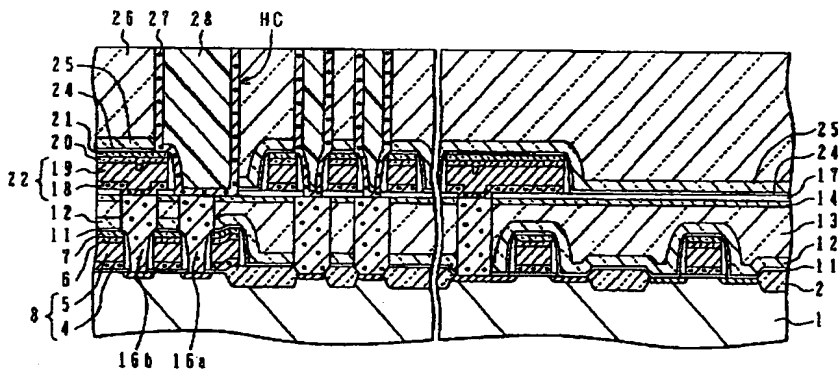
【図2E】



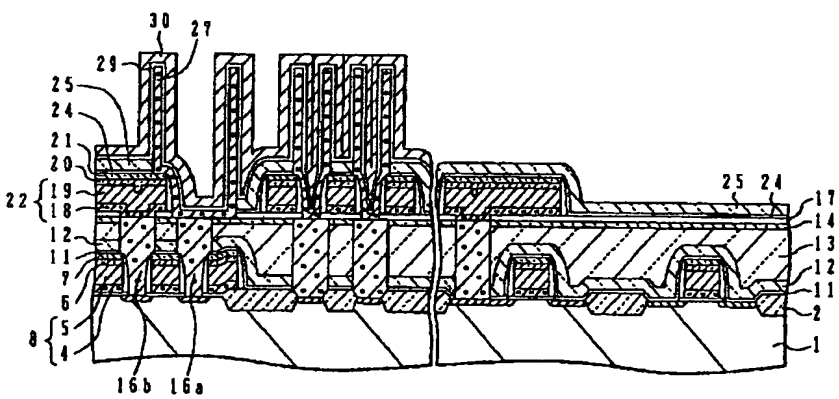
【図2F】



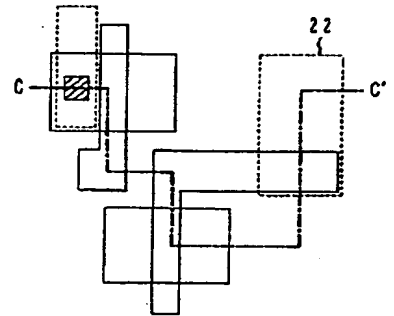
【図2G】



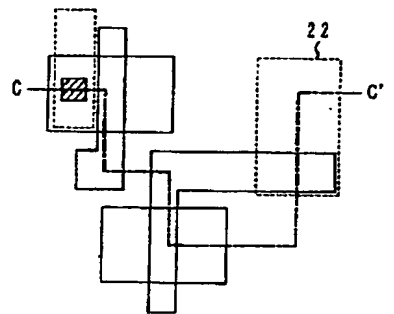
【図2H】



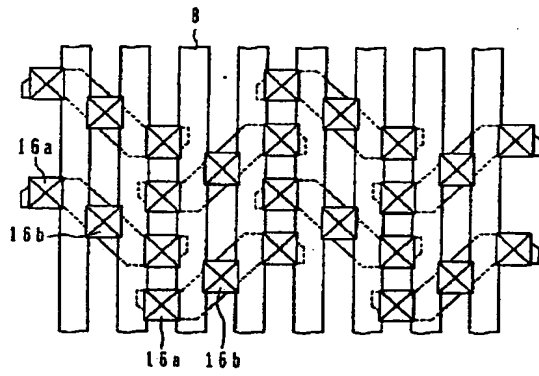
【図7B】



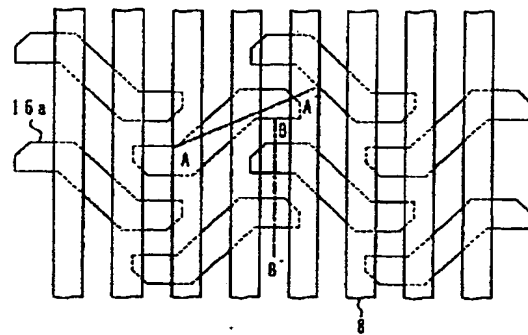
【図8B】



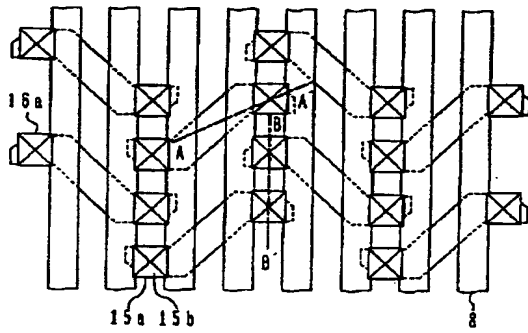
【図3】



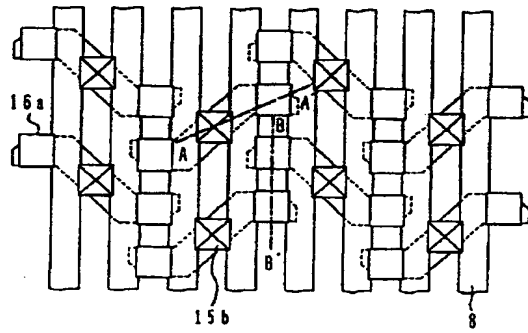
【図4A】



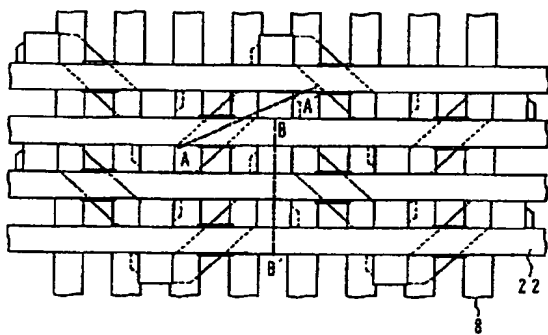
【図5A】



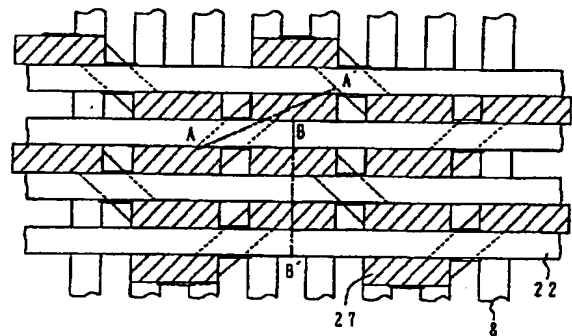
【図6A】



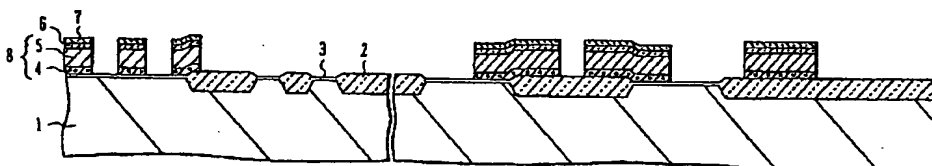
【図7A】



【図8A】

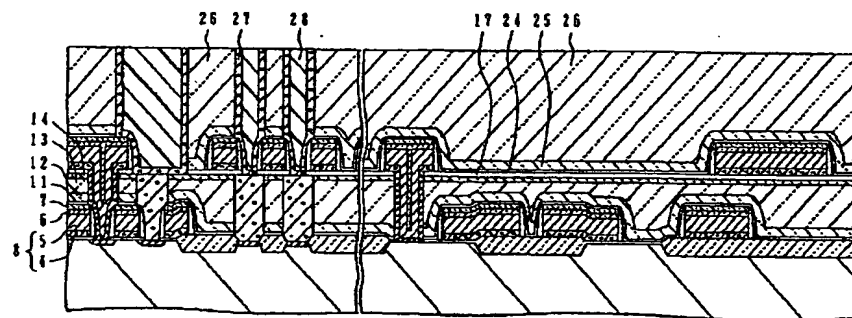


【図9A】

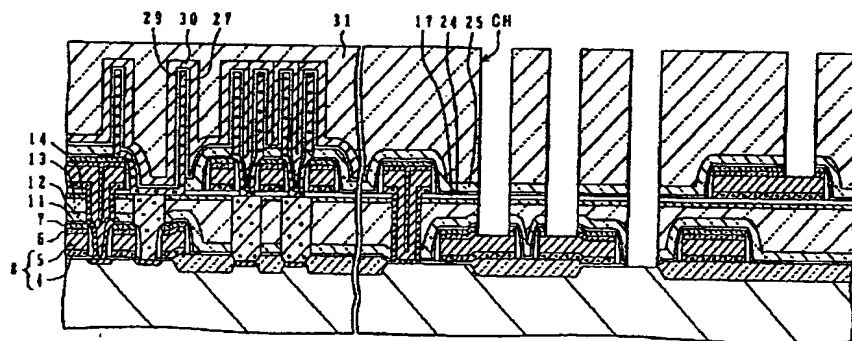




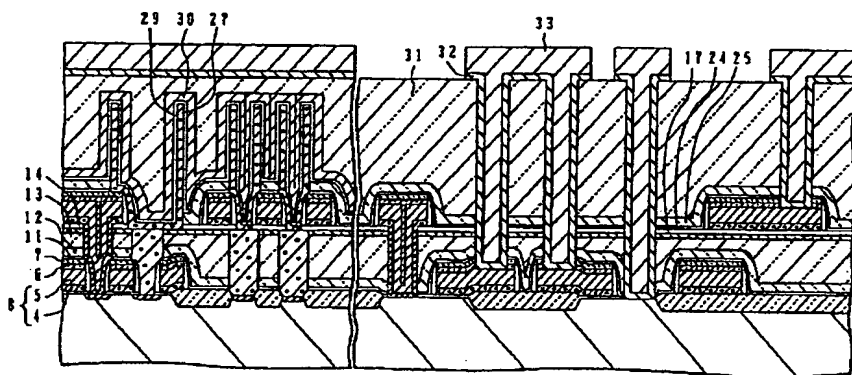
【図9G】



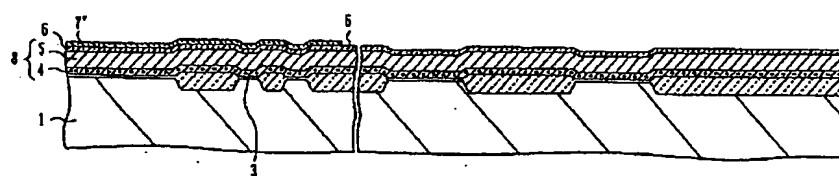
【図9H】



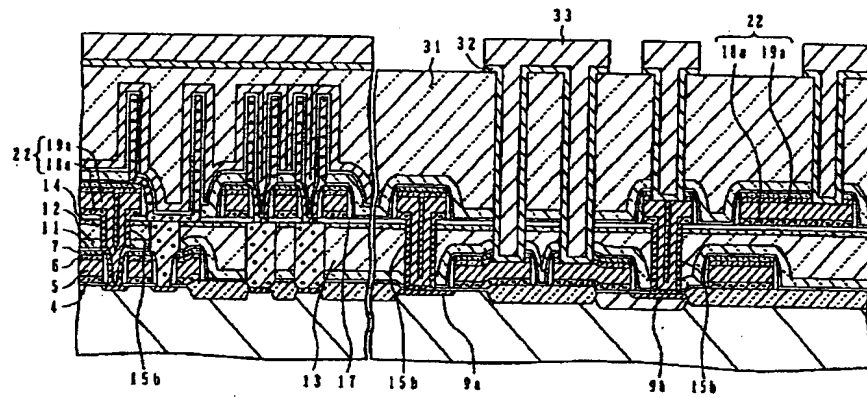
【図91】



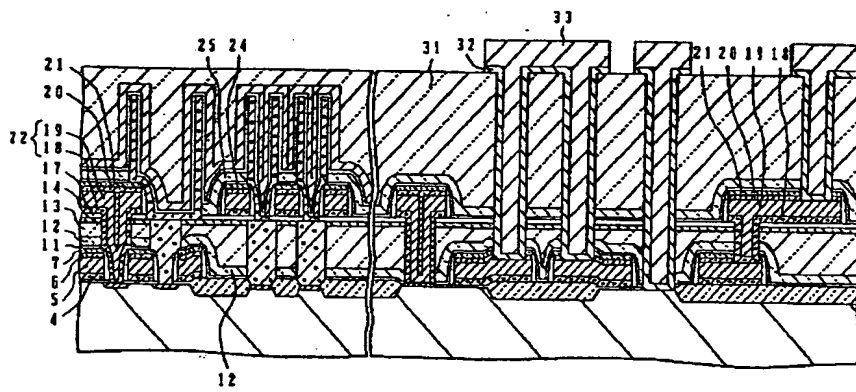
【図16A】



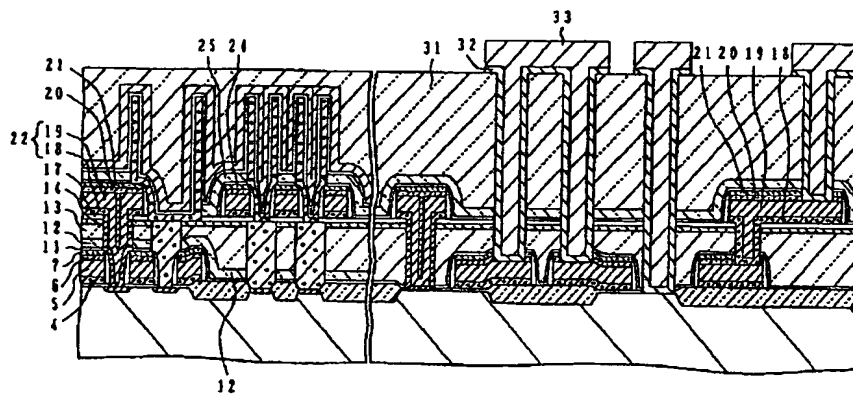
【図10】



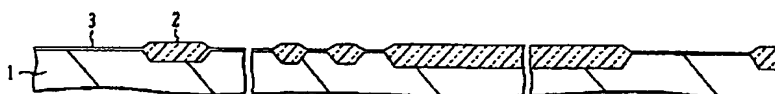
【図11】



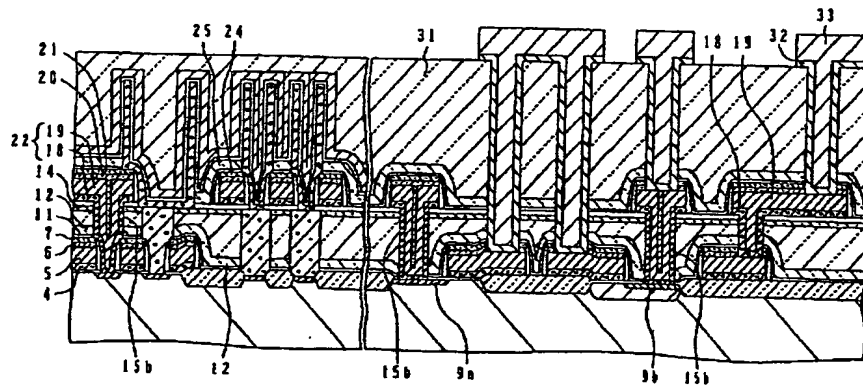
【図12】



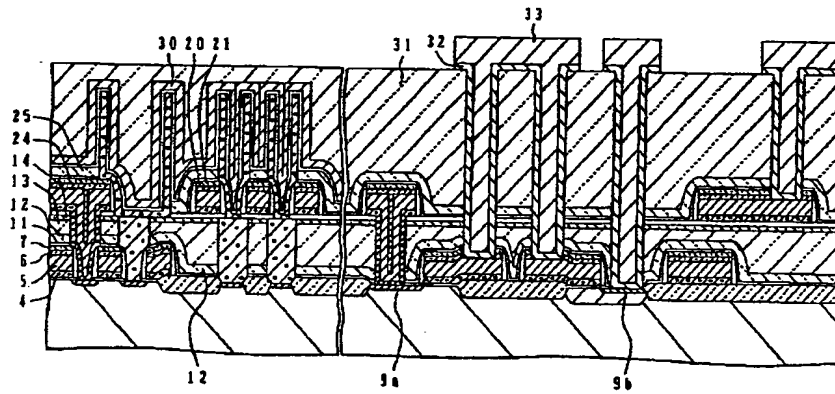
【図18A】



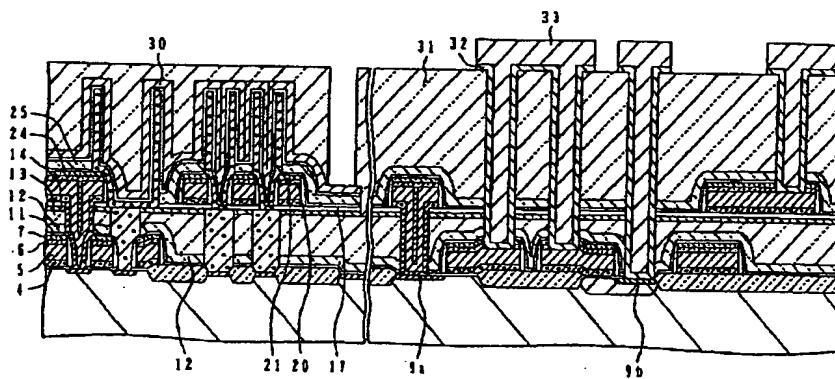
【図13】



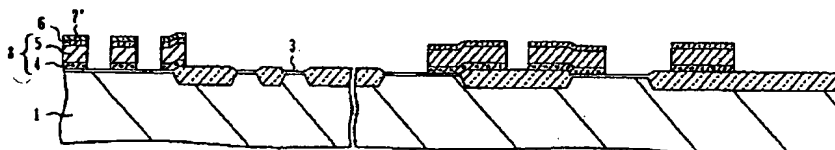
【図14】



【図15】

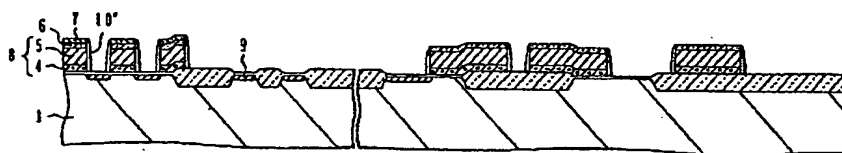


【図16B】

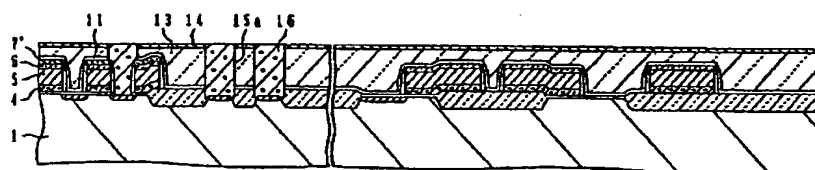




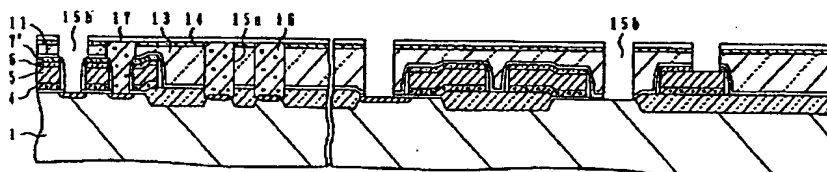
【図16C】



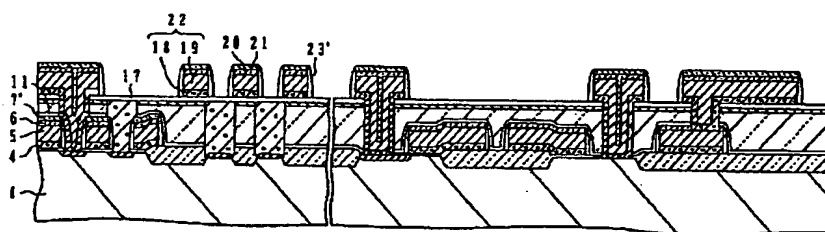
【図16D】



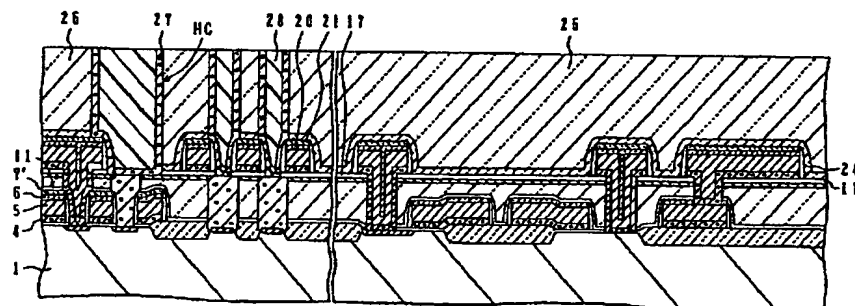
【図16E】



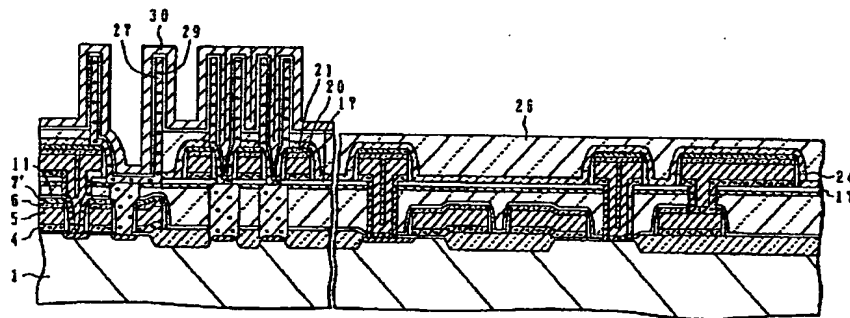
【図16F】



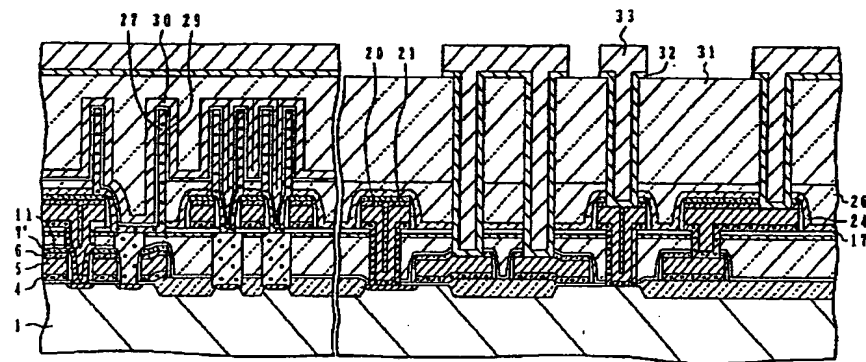
【図16G】



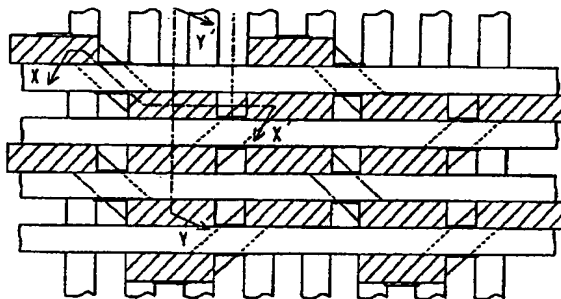
【図16H】



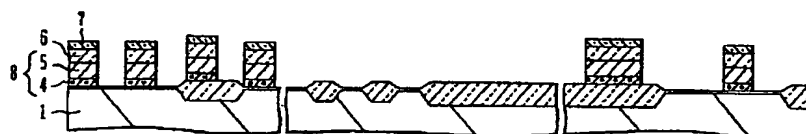
【図16I】



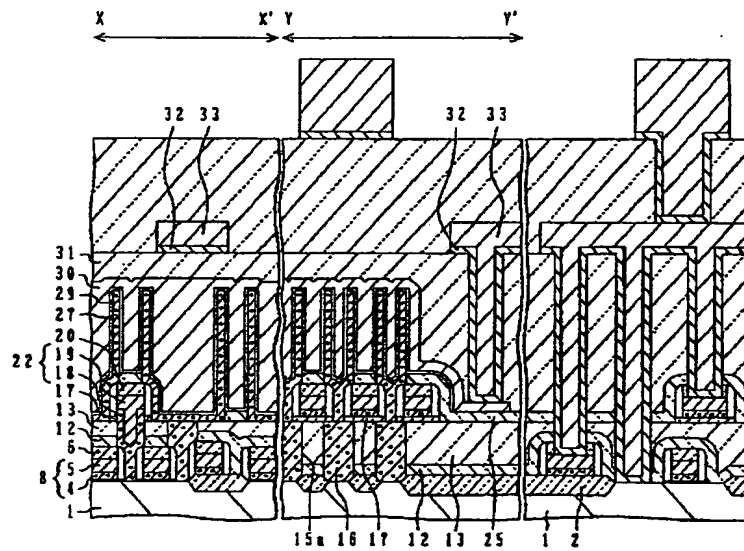
【図17A】



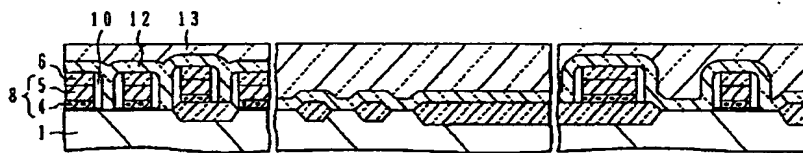
【図18B】



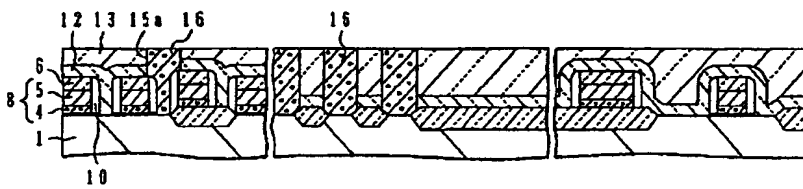
【図17B】



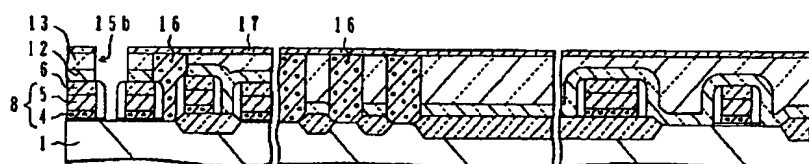
【図18C】



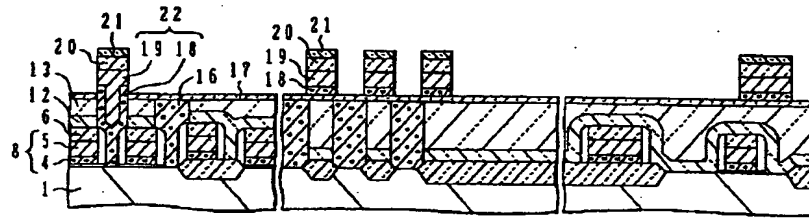
【図18D】



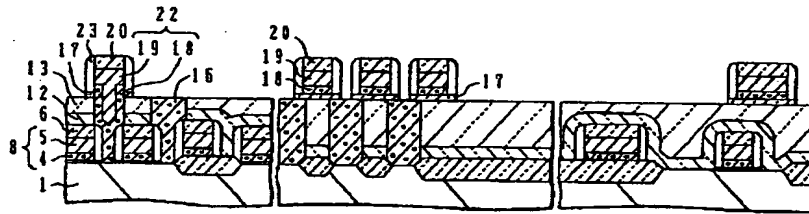
【図18E】



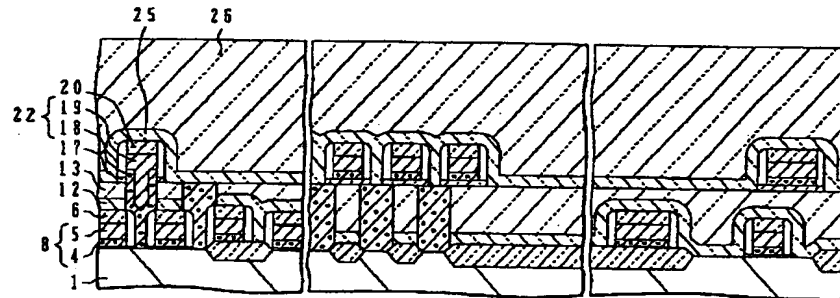
【図18F】



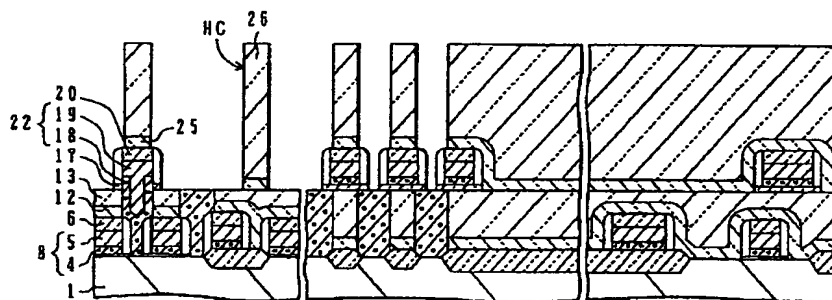
【図18G】



【図18H】

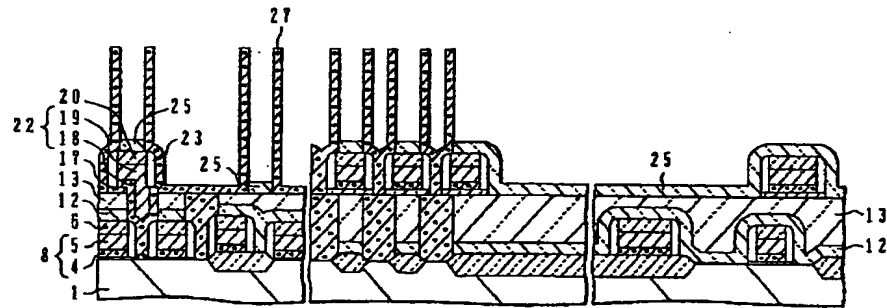


【図18I】

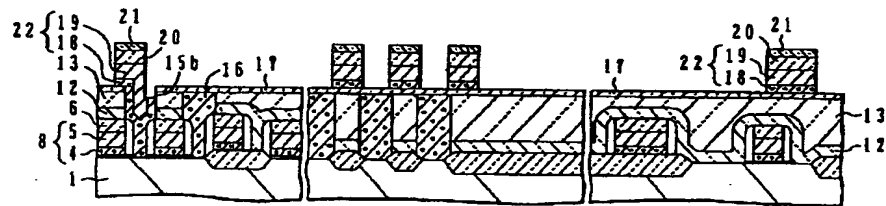




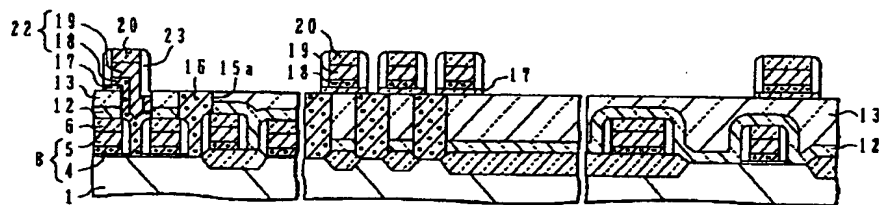
【図20】



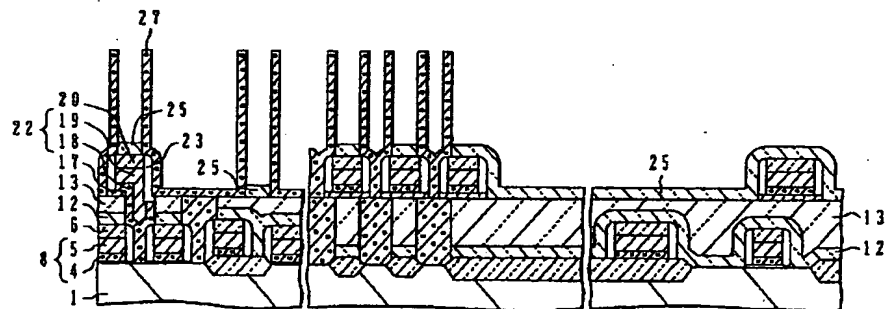
【図21A】



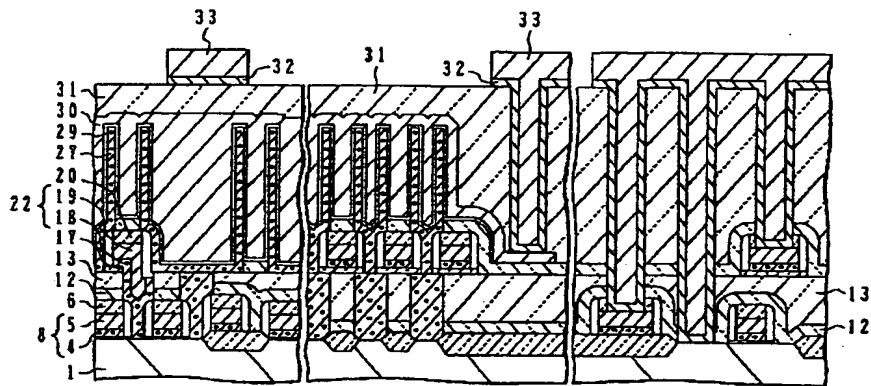
【図21B】



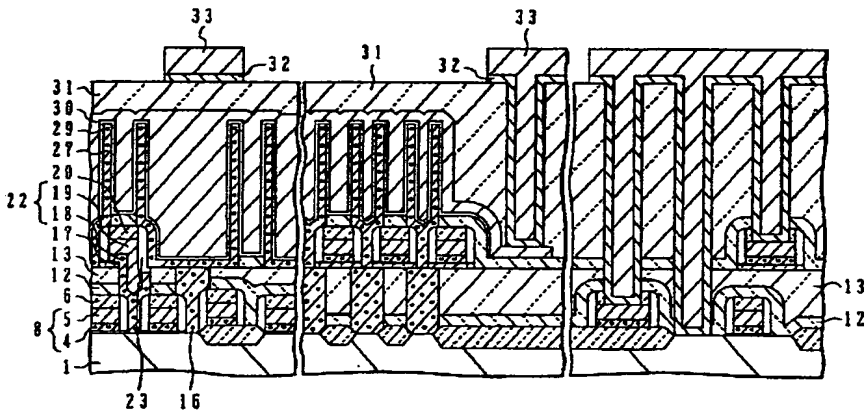
【図21C】



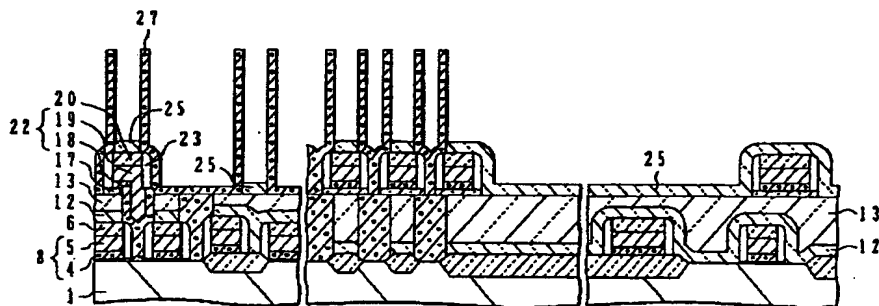
【図21D】



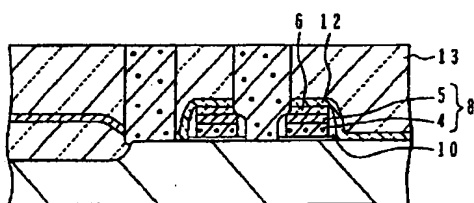
【図22】



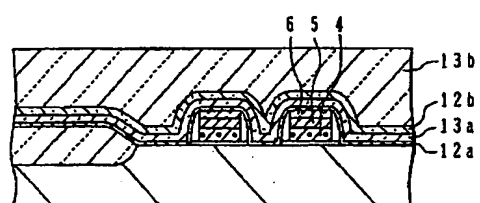
【図23】



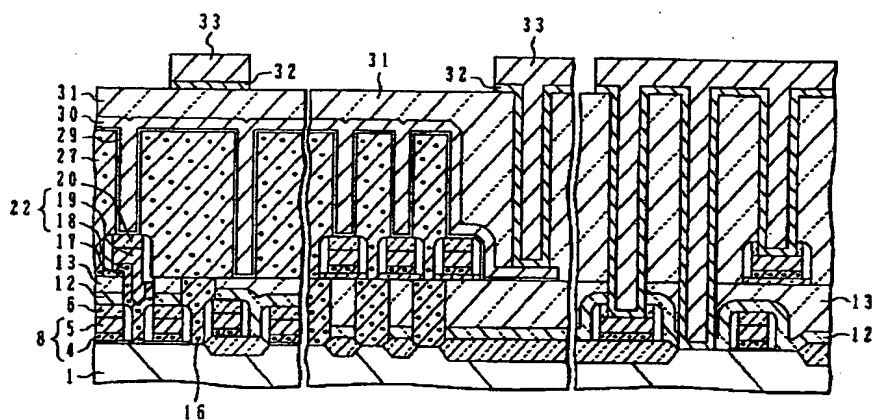
【図27A】



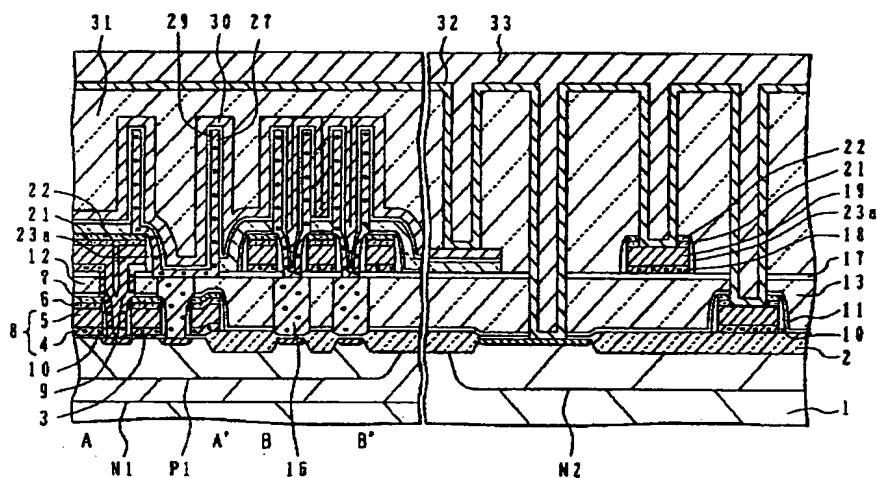
【図27B】



【図26】



【図28】



フロントページの続き

(72)発明者 横山 雄二  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内  
(72)発明者 井上 憲一  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72)発明者 橋本 浩一  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内  
(72)発明者 布藤 渉  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内